

## **Digital - Elektronik**

Vorlesung für Studenten  
der Physik und Informatik  
im 3. Semester

Th. Elze  
C. Freudenberger

# Digital-Elektronik

Überarbeitete Mitschrift  
der Vorlesung für Studenten  
der Physik und Informatik

Th. Elze und C. Freudenberger

Institut für Kernphysik

J. W. Goethe-Universität

Frankfurt am Main

1998

Diese Internet-Ausgabe „Digital-Elektronik“ basiert auf der gleichnamigen Vorlesung von Prof. Dr. Thomas Elze, die über mehrere Jahre für Studenten der Physik, Informatik und anderer Naturwissenschaftlicher Fachrichtungen an der Johann Wolfgang Goethe-Universität, Frankfurt/M gehalten wurde.

Die Aufarbeitung des Textes und der Abbildungen für die Internet Präsentation wurde von Claudia Freudenberger vorgenommen.

Das Manuskript wurde sorgfältig überprüft. Die Autoren übernehmen jedoch keine Verantwortung für verbliebene Fehler und bitten die Leser, Ungenauigkeiten oder Fehler den Autoren mitzuteilen.

e-mail:elze@ikf.uni-frankfurt.de; freudenberg@ikf.uni-frankfurt.de

---

---

## Inhaltsverzeichnis

<b>1. Halbleiter-Bauelemente</b> .....	<b>Seite 4</b>
1.1 Mechanismen der Stromleitung in Halbleitern .....	Seite 4
1.2 PN-Übergang (Halbleiterdiode).....	Seite 5
1.3 Bipolare Transistoren .....	Seite 7
1.4 Unipolare Transistoren (Feldeffekt-Transistoren)	Seite 8
1.5 Diode und Transistor als Schalter .....	Seite 10
<b>2. Schaltalgebra</b> .....	<b>Seite 12</b>
2.1 Logische Grundfunktionen .....	Seite 12
2.2 Gesetze der Schaltalgebra .....	Seite 14
2.3 Normalformen .....	Seite 16
2.4 Synthese, Analyse und Optimierung von Schaltnetzen .....	Seite 17
<b>3. Schaltkreis-Technologien (Logikfamilien)</b> .....	<b>Seite 21</b>
3.1 Dioden-Logik (DL) .....	Seite 21
3.2 Dioden-Transistor-Logik (DTL).....	Seite 22
3.3 Transistor-Transistor-Logik (TTL) .....	Seite 23
3.4 Emittergekoppelte Logik (ECL) .....	Seite 26
3.5 MOS- und CMOS-Logik .....	Seite 27
3.6 Herstellung integrierter Halbleiterschaltungen .....	Seite 29
<b>4. Einfache digitale Rechenschaltkreise</b> .....	<b>Seite 34</b>
4.1 Die Antivalenz (XOR)- und Äquivalenzfunktion .....	Seite 34
4.2 Anwendungen der XOR-Funktion .....	Seite 35
<b>5. Schaltwerke (Sequentielle Logik)</b> .....	<b>Seite 39</b>
5.1 Kippschaltungen (Flip-Flop) .....	Seite 39
5.2 Zähler .....	Seite 44
5.3 Register .....	Seite 46
5.4 Ziffernanzeigen .....	Seite 47
<b>6. Speicher</b> .....	<b>Seite 50</b>
6.1 Festwertspeicher .....	Seite 51
6.2 Programmierbare logische Felder .....	Seite 53
6.3 Schreib-Lese-Speicher .....	Seite 55
<b>7. Digital-Analog- und Analog-Digital-Umwandlung</b> .....	<b>Seite 57</b>
7.1 D/A-Umwandlung .....	Seite 57
7.2 A/D-Umwandlung .....	Seite 60

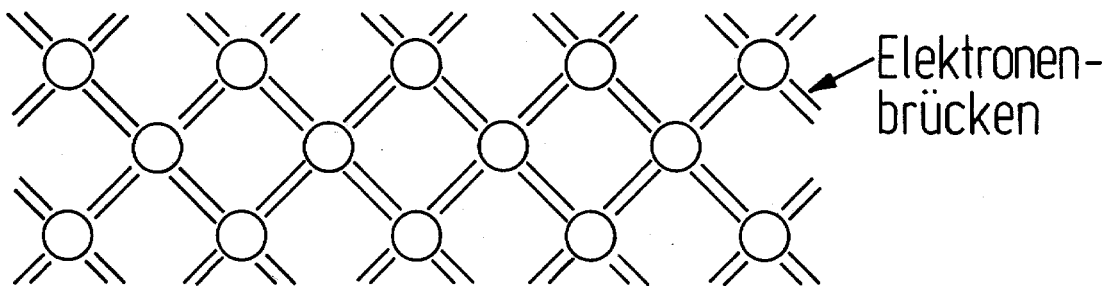
---

---

# 1. Halbleiter-Bauelemente

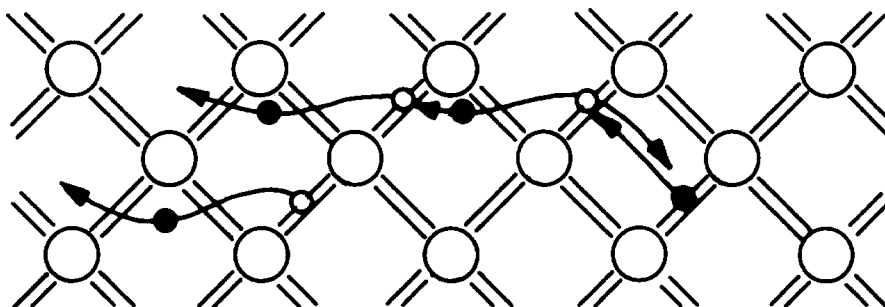
## 1.1 Mechanismen der Stromleitung in Halbleitern

Unter Halbleitern versteht man Stoffe, deren Leitfähigkeit für den elektrischen Strom zwischen der von Metallen und Isolatoren liegt. Die Leitfähigkeit ist i.a. temperaturabhängig. Zur Herstellung von Halbleiterbauelementen wird heute fast ausschließlich Silizium, in geringerem Maße auch Germanium, verwendet. Beide Elemente sind vierwertig, d.h. jedes Atom besitzt 4 Elektronen, die für chemische Bindungen zur Verfügung stehen. Bei der Bildung eines Kristallgitters ordnen sich die Atome so an, daß im Raum jedes Atom von vier Nachbaratomen umgeben ist, wodurch sich eine besonders stabile Elektronenkonfiguration ergibt (sog. Edelgaskonfiguration).



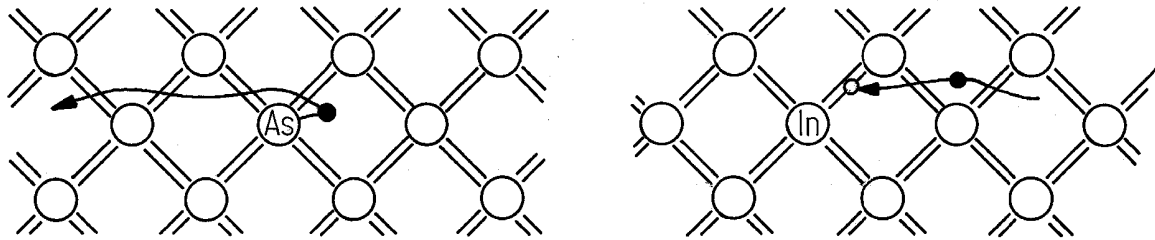
Bei der Stromleitung unterscheiden wir zwischen der „Eigenleitung“ und der „Störstellenleitung“. Die Eigenleitung beruht darauf, daß bei Zimmertemperatur einige Atome ionisiert sind. Damit stehen frei bewegliche Elektronen und in gleicher Anzahl Defekt-elektronen (Löcher) für die Stromleitung zur Verfügung. Durch Erhöhung der Temperatur nimmt die Anzahl der ionisierten Atome und damit auch die Leitfähigkeit stark zu.

Eigenleitung



Zur Verminderung der Temperaturabhängigkeit und Erhöhung der Leitfähigkeit wird der Kristall dotiert, d.h. es werden gezielt Fremdatome beigegeben. Zugabe von 5-wertigen Atomen (elektronenspendende Atome, Donatoren, z.B. As) bewirkt einen Überschuß an Leitungselektronen (N-dotiertes Material), Zugabe von 3-wertigen Atomen (elektroneneinfangende Atome, Akzeptoren, z.B. In) einen Mangel an Elektronen, also einen Überschuß von Löchern (P-dotiertes Material).

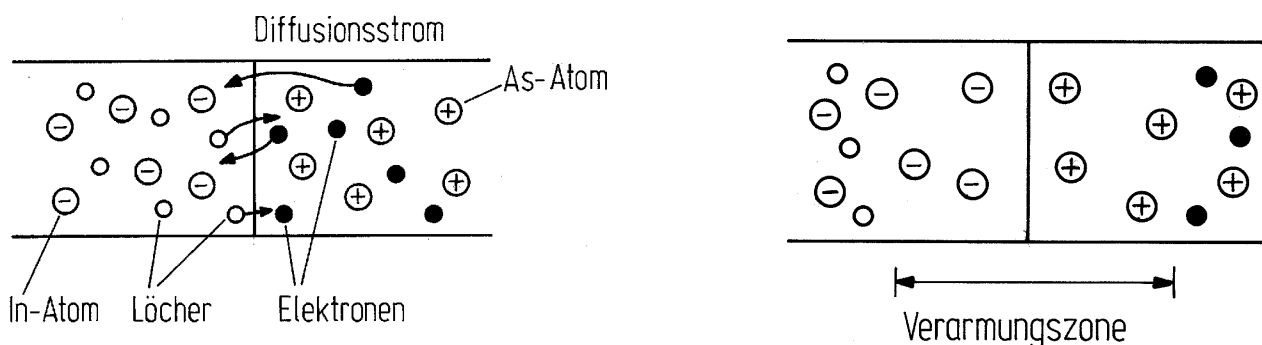
### Störstellenleitung



Bei Zimmertemperatur sind praktisch alle Störstellen ionisiert; der elektrische Strom wird zum überwiegenden Anteil von den jeweiligen Überschußladungsträgern (Majoritätsträger) transportiert. Die Temperaturabhängigkeit der Störstellenleitung ist bei Zimmertemperatur weitaus geringer als die der Eigenleitung.

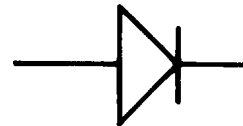
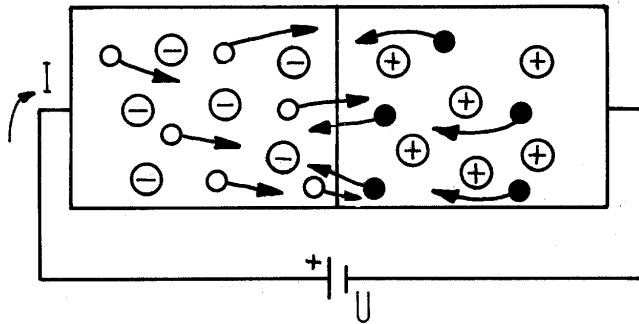
## 1.2 PN-Übergang (Halbleiter-Diode)

Wird P-dotiertes mit N-dotiertem Material zusammengebracht, so ergibt sich an der Grenzschicht aufgrund des Konzentrationsgefälles ein Diffusionsstrom: Elektronen strömen vermehrt in das P-dotierte, Löcher in das N-dotierte Material. Dabei rekombinieren Elektronen mit Löchern, wodurch sich in der Nähe der Grenzschicht eine Zone ergibt, die an frei beweglichen Ladungsträgern verarmt ist (Verarmungszone). Bei Silizium dauert dieser Vorgang solange an, bis die Spannung zwischen der negativen Raumladung (im P-dotierten Material) und der positiven Raumladung (im N-dotierten Material) etwa 0.7 Volt beträgt (in Germanium etwa 0.3 Volt). Diese Spannung heißt Diffusionsspannung.



Anlegen einer Spannung

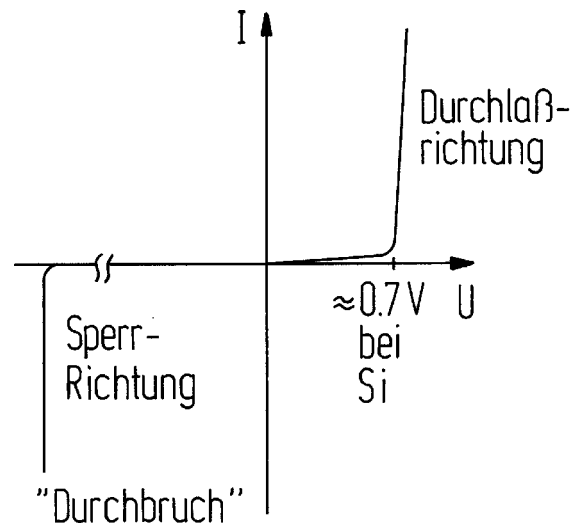
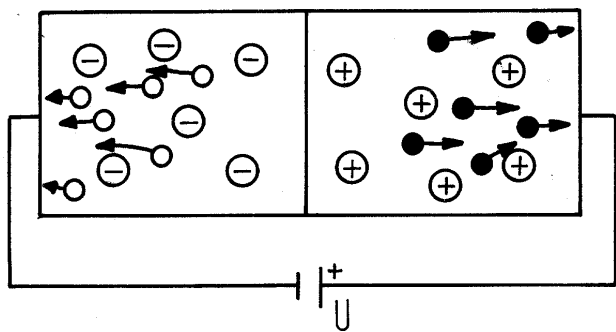
- a) Durchlaßrichtung: Die angelegte Spannung muß höher sein als die Diffusionsspannung, damit ein Stromfluß durch die Grenzschicht eintritt.



Symbol einer Diode

- b) Sperr-Richtung: Die angelegte Sperrspannung bewirkt eine Vergrößerung der Raumladungszone: es fließt nur ein sehr geringer Strom. Bei Überschreitung einer maximalen Sperrspannung steigt der Sperrstrom jedoch schnell an (Durchbruch). Für den Durchbruch in Sperr-Richtung gibt es mehrere Ursachen, die alle eine starke Zunahme der freien Ladungsträger zur Folge haben:
1. Steigende Temperatur wegen wachsender Verlustleistung in der Diode.
  2. Lawinenbildung aufgrund der starken Beschleunigung der freien Ladungsträger mit nachfolgender Ionisation der Atome.
  3. Vermehrte Ionisation der Atome in der Grenzschicht aufgrund der hohen Feldstärke.

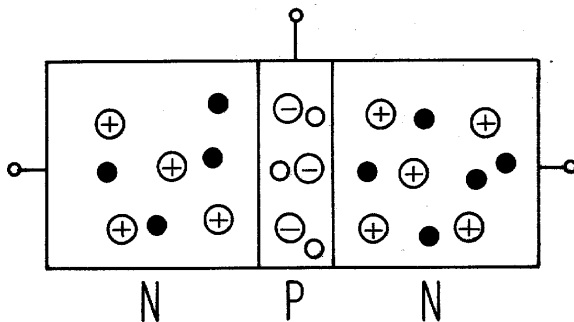
Kennlinie



### 1.3 Bipolare Transistoren

Bipolare Transistoren enthalten zwei PN-Übergänge und bestehen aus P- und N-dotierten Halbleitermaterialien. Es gibt zwei Möglichkeiten, die Materialien aneinanderzureihen: P-N-P oder N-P-N. Heute bestehen die meisten Transistoren aus dotiertem Si in der Abfolge N-P-N. Die drei Schichten heißen Emitter - Basis - Kollektor.

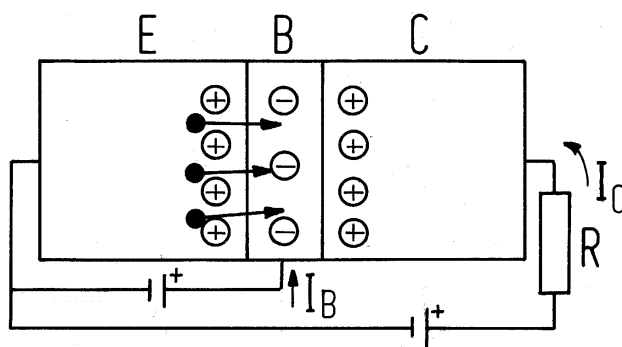
Aufbau:



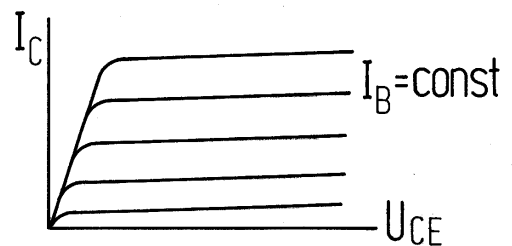
Die Basis ist sehr dünn (etwa 1...100  $\mu\text{m}$ ) und schwach dotiert: geringe Rekombinationsrate.

Der Transistor wird so betrieben, daß die Emitter-Basis-Diode in Durchlaßrichtung, die Basis-Kollektor-Diode in Sperrichtung gepolt ist. Wegen der positiven Raumladung im Kollektor und der positiven Kollektorspannung fließt der größte Teil der vom Emitter in die Basis injizierten Elektronen zum Kollektor. Für gängige Transistoren gilt  $I_C \approx (50...300) \cdot I_B = B \cdot I_B$ .  $B$  ist der statische Stromverstärkungsfaktor. Die differentielle Stromverstärkung ist  $\beta = dI_C/dI_B$ :  $\beta$  liegt in der gleichen Größenordnung wie  $B$  und ist eine Kenngröße des Transistors. Eine geringe Änderung des Basisstroms hat also eine große Änderung des Kollektorstroms zur Folge.

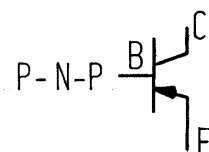
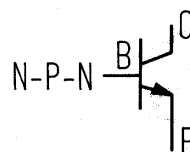
Beschaltung



Kennlinienfeld



Transistorsymbole:

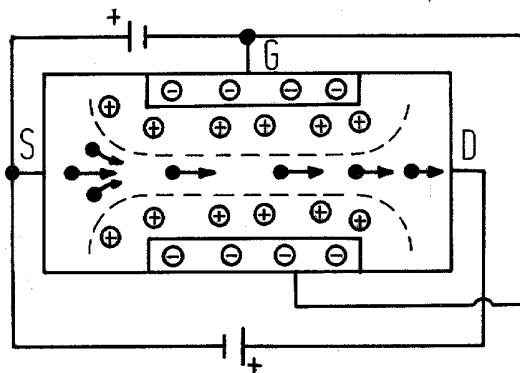


## 1.4 Unipolare Transistoren (Feldeffekt-Transistoren)

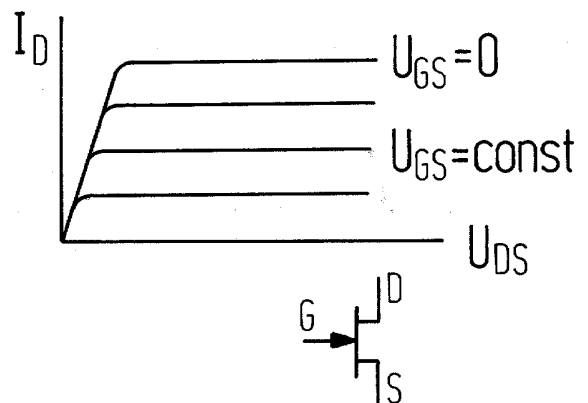
Beim Feldeffekt-Transistor verläuft der Strompfad zwischen Source (Quelle, entspricht dem Emitter) und Drain (Abfluß, entspricht dem Kollektor) in einem Halbleitermaterial mit nur einer Dotierung (entweder P oder N). Die Steuerung des Stromes erfolgt dadurch, daß der Strompfad (Kanal) durch elektrostatische Felder beeinflusst wird. Die Steuerelektrode (Gate) ist vom Kanal entweder durch einen in Sperrichtung gepolten P-N-Übergang oder durch eine dünne  $\text{SiO}_2$ -Isolierschicht getrennt. Transistoren der ersten Art heißen Sperrschicht-FETs, die der zweiten Art Isolierschicht-FETs. Die Steuerung von FETs erfolgt praktisch leistungslos.

### 1.4.1 Sperrschicht-FET

Aufbau:



Kennlinienfeld



Symbol (N-Kanal Typ)

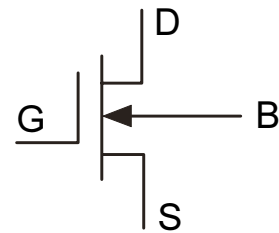
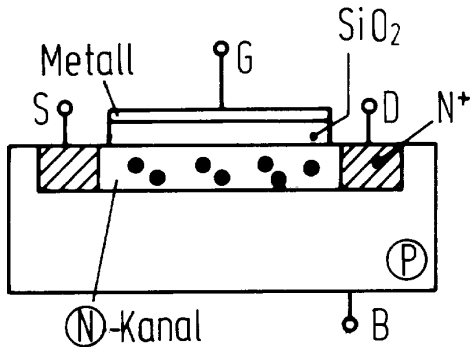
Ein Sperrschicht-FET ist immer selbstleitend, d.h. es fließt ein Strom von Source nach Drain, wenn keine Gatespannung anliegt. Im Bild ist ein n-leitender FET gezeigt. Für diesen Typ ist die Drainspannung positiv gegenüber der Source. Mit einer gegenüber Source negativen Gatespannung wird an der Grenzschicht zwischen Drain-Elektrode und Substrat eine Sperrschicht erzeugt. Die beweglichen Ladungsträger im Substrat werden weggedrängt, und der stromleitende Kanal wird eingeschnürt. Als Folge nimmt der Drainstrom ab.



### 1.4.2 Isolierschicht-FET (MOS-FET)

Bei den MOS-FETs gibt es sowohl selbstleitende Typen (Verarmungstypen) als auch selbstsperrende Typen (Anreicherungstypen).

Aufbau eines selbstleitenden MOS-FETs:



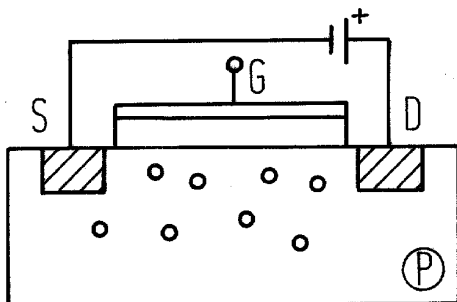
Symbol (N-Kanal Typ)

In ein P-Substrat sind zwei hoch-dotierte N-Kontakte eingebracht, zwischen denen sich ein N-leitender Kanal befindet. Wird an die metallische Gate-Elektrode, die vom Substrat durch eine SiO<sub>2</sub>-Schicht isoliert ist, eine negative Spannung angelegt, so werden N-Ladungsträger aus dem Kanal herausgedrängt: der Drainstrom nimmt ab.

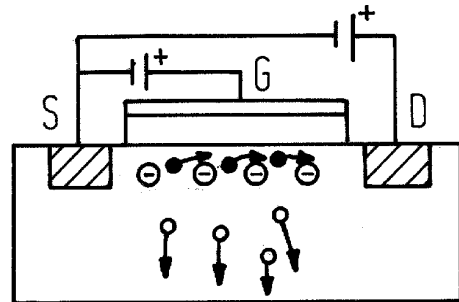
Noch einfacher im Aufbau ist der selbstsperrende Typ, da hier der N-leitende Kanal zunächst fehlt.

Aufbau eines selbstsperrenden MOS-FETs:

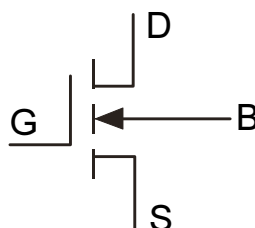
sperrender Zustand



leitender Zustand



Symbol (N-Kanal Typ) :



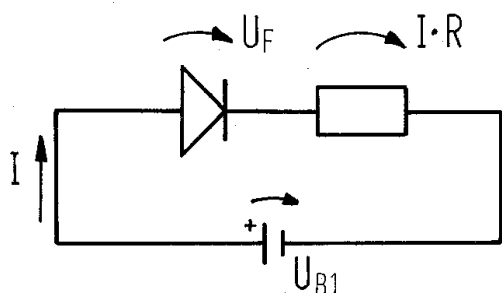
Ohne angelegte Gatespannung sperrt der MOS-FET, da sich an der Grenzschicht zwischen Drain-Elektrode und Substrat eine Sperrschicht ausbildet. Durch Anlegen einer gegenüber Source positiven Gatespannung werden die P-Majoritätsträger von der Gate-Elektrode weggedrängt, und es bleibt eine negative Raumladung zwischen den Source- und Drainelektroden. Damit hat sich ein negativer Kanal (aus ortsfesten Atomrümpfen) ergeben. An den Kontakten können sich nun keine Sperrschichten mehr ausbilden, so daß N-Ladungsträger aus dem Source-Kontakt in das Substrat injiziert werden können, die über den Drain-Kontakt abfließen.

Vorteil gegenüber selbstleitendem Typ: Die Gatespannung hat die gleiche Polarität wie die Drainspannung (wichtig bei der Verwendung in integrierten Schaltungen).

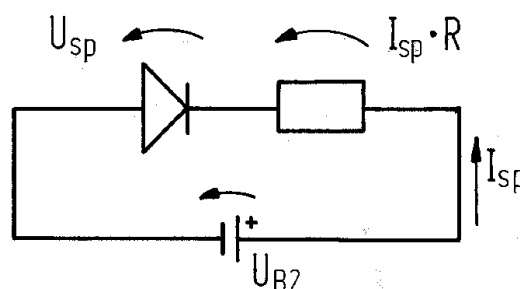
## 1.5 Diode und Transistor als Schalter

Die Schaltzustände einer Diode (leitend oder gesperrt) werden durch die Dioden-Kennlinie und die Widerstandsgerade festgelegt. Dazu betrachten wir einen einfachen Stromkreis, in dem eine Stromquelle, ein Widerstand und eine Diode in Reihe geschaltet sind.

Durchlaßrichtung:

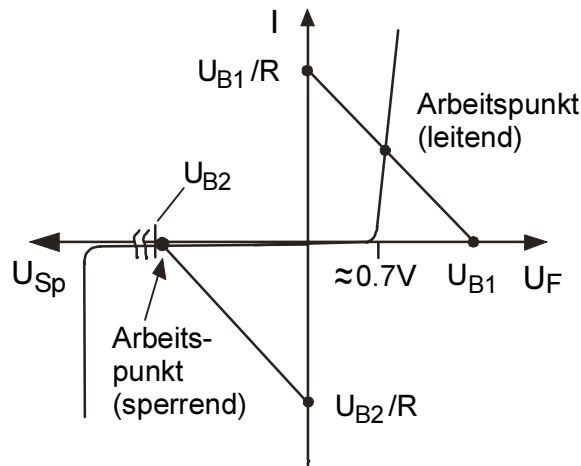


Sperr-Richtung:



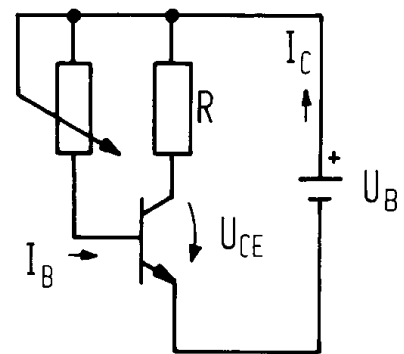
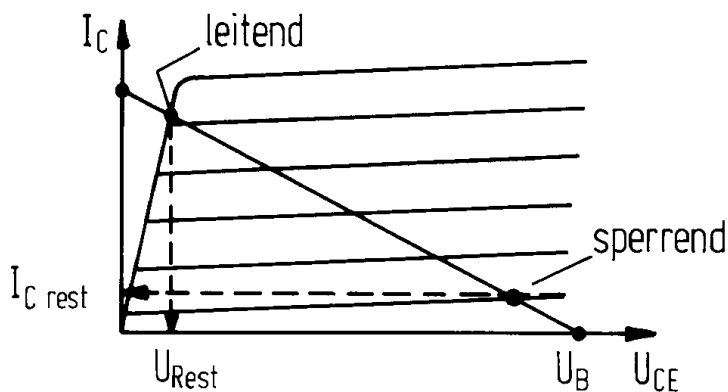
Da der Strom im gesamten Kreis der gleiche ist, gilt

$$U_{B1} = U_F + IR \quad \text{und} \quad U_{B2} = U_{sp} + I_{sp}R.$$



Diese Beziehungen sind die Gleichungen der Widerstandsgeraden in Durchlaß- und Sperr-Richtung. Dort wo sich die Diodenkennlinie mit der Widerstandsgeraden schneidet, liegt der Arbeitspunkt, der die an der Diode anliegende Spannung und den fließenden Strom festlegt. Im Gegensatz zu einem idealen Schalter fällt an der Diode im leitenden Zustand die Flußspannung ( $\approx 0.7\text{ V}$  bei Si) ab. Im ausgeschalteten Zustand fließt noch ein endlicher Reststrom.

Die Schaltzustände eines Transistors lassen sich im Ausgangskennlinienfeld  $I_C = f(U_{CE})$  ablesen. Ähnlich wie bei der Diode fällt am Transistor im eingeschalteten Zustand noch eine Restspannung ab (typisch  $\leq 50\text{ mV}$ ). Im ausgeschalteten Zustand fließt ein Reststrom.



## 2. Schaltalgebra

Digitale Schaltungen können aus wenigen logischen Grundschaltungen aufgebaut werden. Die Verknüpfungen dieser Grundschaltungen ermittelt man mit Hilfe der Boole'schen Algebra, die im speziellen Fall der Anwendung auf die Digitaltechnik Schaltalgebra genannt wird. Weitere Varianten der Boole'schen Algebra sind die Mengenalgebra, die Ereignisalgebra und die Aussagenalgebra.

### 2.1 Logische Grundfunktionen

Eine logische Variable kann zwei diskrete Werte annehmen, die als Null und Eins bezeichnet werden (Symbole „0“ und „1“). Diese Werte werden wir später den Schaltzuständen von Halbleiterschaltungen zuordnen. Es gibt drei logische Grundverknüpfungen, aus denen beliebig komplizierte Netze aufgebaut werden können: Konjunktion (UND), Disjunktion (ODER) und Negation.

#### a) UND-Verknüpfung

Definition: Eine Ausgangsvariable nimmt dann und nur dann den Wert 1 an, wenn alle Eingangsvariablen den Wert 1 besitzen. In der Sprache der Aussagenalgebra könnte man sagen: Eine Aussage, die aus mehreren Teilen besteht, ist dann und nur dann wahr, wenn alle Teilaussagen wahr sind.

$$X = A \wedge B \quad (\text{Konjunktion für 2 Variable}).$$

In der Boole'schen Algebra lautet die Konjunktion für zwei Variable

$$X = A \cdot B \quad (\text{Boole'sches Produkt, Standard Product}).$$

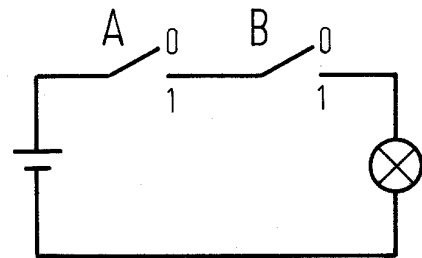
Der Vorteil dieser Schreibweise besteht darin, daß die aus der normalen Algebra bekannten Rechenregeln gelten, z.B. Multiplikation vor Addition. Dies jedoch nur, wenn „1“ = wahr, „0“ = falsch.

---

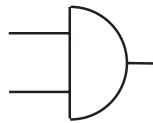
Wahrheitstabelle für die UND-Funktion:

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

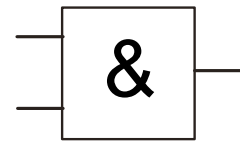
elektrische Darstellung mit Schaltern (die Lampe leuchtet, wenn X = 1)



Schaltsymbole alt:



DIN 40700:



b) ODER-Verknüpfung

Definition: Eine Ausgangsvariable nimmt dann den Wert 1 an, wenn mindestens eine Eingangsvariable den Wert 1 besitzt. In der Sprache der Aussagenalgebra könnte man sagen: Eine Aussage, die aus mehreren Teilen besteht, ist bereits dann wahr, wenn eine Teilaussage wahr ist.

$$X = A \vee B \quad (\text{Disjunktion für 2 Variable}).$$

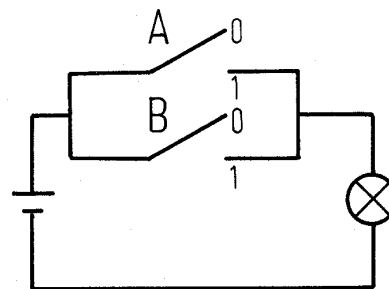
In der Boole'schen Algebra lautet die Disjunktion für 2 Variable

$$X = A + B \quad (\text{Boole'sche Summe, Standard Sum}).$$

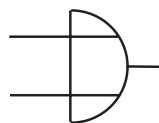
Wahrheitstabelle für die ODER-Funktion:

A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

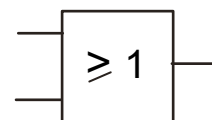
elektrische Darstellung mit Schaltern (die Lampe leuchtet, wenn X = 1)



Schaltsymbole alt:



DIN 40700:



c) Negation

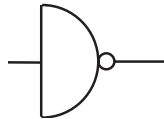
Die Negation ist keine Verknüpfung von mehreren Eingangsvariablen; sie kehrt lediglich den Wert einer logischen Variablen um.

$$X = \bar{A} \quad (X = \text{NICHT } A)$$

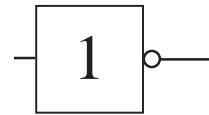
Wahrheitstabelle für die Negation:

A	X
0	1
1	0

Schaltsymbole alt:



DIN 40700:



## 2.2 Rechenregeln der Boole'schen Algebra

Aufbauend auf den Grundverknüpfungen gibt es eine Reihe von Theoremen, die im folgenden tabellarisch zusammengefaßt sind:

<p><u>Kommunikativ-Gesetz:</u></p> $x_1x_2 = x_2x_1 \qquad x_1 + x_2 = x_2 + x_1$	<p><u>Negation:</u></p> $x\bar{x} = 0 \qquad x + \bar{x} = 1$
<p><u>Assoziativ-Gesetz:</u></p> $x_1(x_2x_3) = (x_1x_2)x_3 \qquad x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3$	<p><u>Doppelte Negation:</u></p> $\overline{\overline{x}} = \overline{\overline{\overline{x}}} = x$
<p><u>Distributiv-Gesetz:</u></p> $x_1(x_2 + x_3) = x_1x_2 + x_1x_3 \qquad x_1 + x_2x_3 = (x_1 + x_2)(x_1 + x_3)$	<p><u>Tautologie:</u></p> $xx = x \qquad x + x = x$
<p><u>Absorptionsgesetz:</u></p> $x_1(x_1 + x_2) = x_1 \qquad x_1 + x_1x_2 = x_1$	<p><u>Gesetz von de Morgan:</u></p> $\overline{x_1x_2} = \overline{x_1} + \overline{x_2} \qquad \overline{x_1 + x_2} = \overline{x_1} \overline{x_2}$
	<p><u>Operationen mit 0 und 1:</u></p> $x \cdot 1 = x \qquad x + 0 = x$ $x \cdot 0 = 0 \qquad x + 1 = 1$ $\overline{0} = 1 \qquad \overline{1} = 0$

Mögliche Verknüpfungen von 2 Schaltvariablen:

A 0 0 1 1	Darstellung	gelesen	Bezeichnung der	
B 0 1 0 1	in der		Verknüpfung	
	Schaltalgebra			
x= {	0 0 0 0	0	Null	Konstante 0
	0 0 0 1	$A \cdot B$	A und B	UND, Konjunktion
	0 0 1 0	$A \cdot \overline{B}$	A und nicht B	Inhibition
	0 0 1 1	A	A	Idendität
	0 1 0 0	$\overline{A} \cdot B$	nicht A und B	Inhibition
	0 1 0 1	$\overline{B}$	B	Idendität
	0 1 1 0	$A \cdot B + A \cdot \overline{B}$	nicht A und B oder A und nicht B	Antivalenz, XOR, Exklusiv-ODER
	0 1 1 1	$A + B$	A oder B	ODER, Disjunktion
	1 0 0 0	$\overline{A + B}$	nicht (A oder B)	NOR
	1 0 0 1	$\overline{A \cdot B} + A \cdot \overline{B}$	nicht A und nicht B oder A und B	Äquivalenz, XNOR, Exklusiv-NOR
	1 0 1 0	$\overline{B}$	nicht B	Negation
	1 0 1 1	$\overline{A} + B$	A oder nicht B	Implikation
	1 1 0 0	$\overline{A}$	NICHT A	Negation
	1 1 0 1	$\overline{A + B}$	nicht A oder B	Implikation
	1 1 1 0	$\overline{A \cdot B}$	nicht (A und B)	NAND
	1 1 1 1	1	Eins	Konstante 1

## 2.3 Normalformen

Jede logische Funktion lässt sich auf zwei Grundformen zurückführen:

1. die disjunktive Normalform (Boole'sche Summe, Standard Sum),
2. die konjunktive Normalform (Boole'sches Produkt, Standard Product).

Die disjunktive Normalform entsteht dadurch, daß alle UND-Verknüpfungen, bei denen die Ausgangsvariable X den Wert 1 annimmt (Minterme), disjunktiv (mit ODER) verknüpft werden. In der konjunktiven Normalform werden alle ODER-Verknüpfungen der negierten Eingangsvariablen, die zum Funktionswert  $X = 0$  führen (Maxterme), konjunktiv (mit UND) verknüpft.

Zur Veranschaulichung dieser Aussage dient folgende Wahrheitstafel:

A	B	C	X	Minterm	Maxterm
0	0	0	0		$A + B + C$
0	0	1	1	$\bar{A} \bar{B} C$	
0	1	0	1	$\bar{A} B \bar{C}$	
0	1	1	0		$A + \bar{B} + \bar{C}$
1	0	0	1	$A \bar{B} \bar{C}$	
1	0	1	0		$\bar{A} + B + \bar{C}$
1	1	0	0		$\bar{A} + \bar{B} + C$
1	1	1	1	$A B C$	

Die disjunktive Normalform lautet in diesem Fall:

$$X = \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + A B C \quad (\text{disj. Normalform})$$

Die konjunktive Normalform erhält man durch folgenden Ansatz:

$$\bar{X} = \bar{A} \bar{B} \bar{C} + \bar{A} B C + A \bar{B} C + A B \bar{C}$$

Nochmalige Negation und Anwendung des de Morgan'schen Theorems ergibt:

$$X = (A + B + C) (A + \bar{B} + \bar{C}) (\bar{A} + B + \bar{C}) (\bar{A} + \bar{B} + C) \quad (\text{konj. Normalform})$$

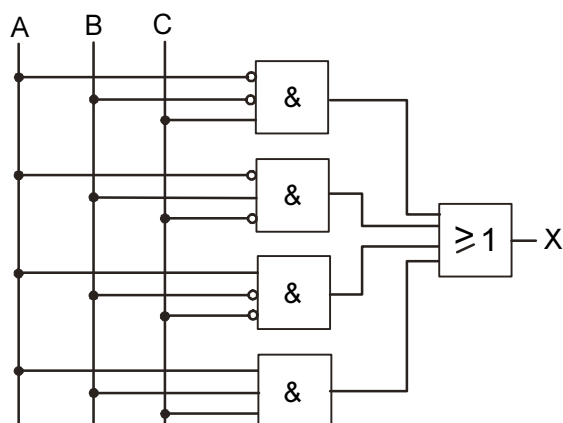


## 2.4 Synthese, Optimierung und Analyse von Schaltnetzen

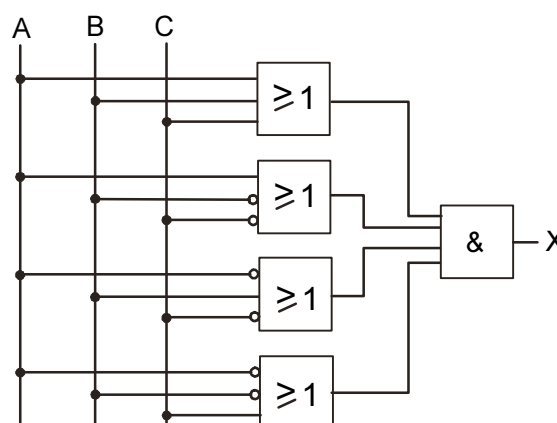
### 2.4.1 Synthese

Bei der Synthese eines Schaltnetzes geht man von der bekannten logischen Funktion aus, d.h. man stellt die Wahrheitstabelle auf. Beide Normalformen lassen sich dann sofort realisieren. Für das in Kap. 2.3 gezeigte Beispiel ergeben sich die folgenden, äquivalenten Schaltungen:

aus der disj. Normalform:



aus der konj. Normalform:



### 2.4.2 Optimierung (Vereinfachung) von Schaltnetzen

Bei der Optimierung von Schaltnetzen geht es darum, eine logische Funktion zu finden, in der möglichst wenige Verknüpfungen stehen. In der Praxis bedeutet dies, daß das gesuchte Schaltnetz aus der geringsten Anzahl von Verknüpfungsgliedern (elektrischen Schaltungen) besteht.

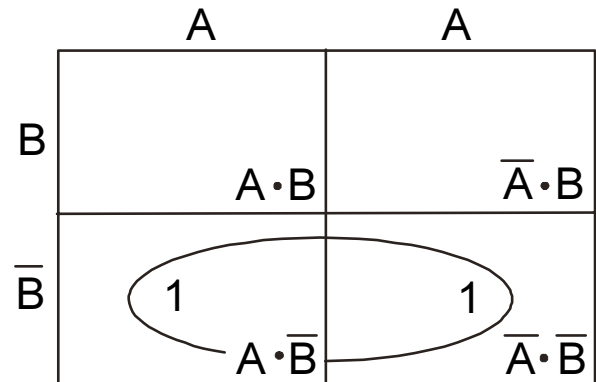
Neben der Vereinfachung mit Hilfe der Rechenregeln der Schaltalgebra (rechnerisches Verfahren) hat sich die Optimierung mit Hilfe des Karnaugh-Diagramms bewährt. Das Karnaugh-Diagramm ist lediglich eine andere Darstellung der Wahrheitstafel. Die Min- oder Maxterme werden hierbei einzelnen Feldern zugeordnet, die in einem Rechteck so angeordnet werden, daß sich benachbarte Felder nur im Wert einer einzigen Variablen unterscheiden. Dadurch ist es leicht möglich, Redundanzen in einer logischen Funktion zu erkennen.

Beispiel:

Das Karnaugh-Diagramm der Funktion

$$X = A \bar{B} + \bar{A} B$$

besteht aus 4 Feldern, die die 4 möglichen Min-Terme repräsentieren. Die Min-Terme, die zu  $X = 1$  führen, werden gekennzeichnet. Im Beispiel sieht man, daß die Funktion nicht von der Variablen A abhängt, da zwei benachbarte Min-Terme sich im Wert der Variablen A unterscheiden.



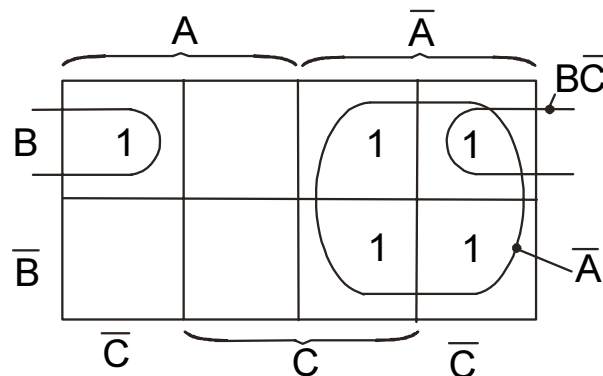
Rechnung bestätigt:

$$X = A \bar{B} + \bar{A} B = (A + \bar{A}) \bar{B} = \bar{B}$$

Ein weiteres Beispiel: Gegeben sei die logische Funktion

$$X = \bar{A} \bar{B} \bar{C} + \bar{A} B \bar{C} + A B \bar{C} + \bar{A} B C + \bar{A} B C$$

Das Karnaugh-Diagramm für diese Funktion läßt sich wie folgt anordnen.



Man erkennt in diesem Diagramm einen Vierer-Block von Min-Termen, die die redundanten Variablen B und C enthalten. In diesem Bereich ist die Funktion:  $X=A$ . Weiterhin erkennt man einen Zweier-Block von Min-Termen (Blöcke werden über die Ränder fortgesetzt), die die redundante Variable A enthalten. In diesem Block ist die Funktion  $X = BC$ .

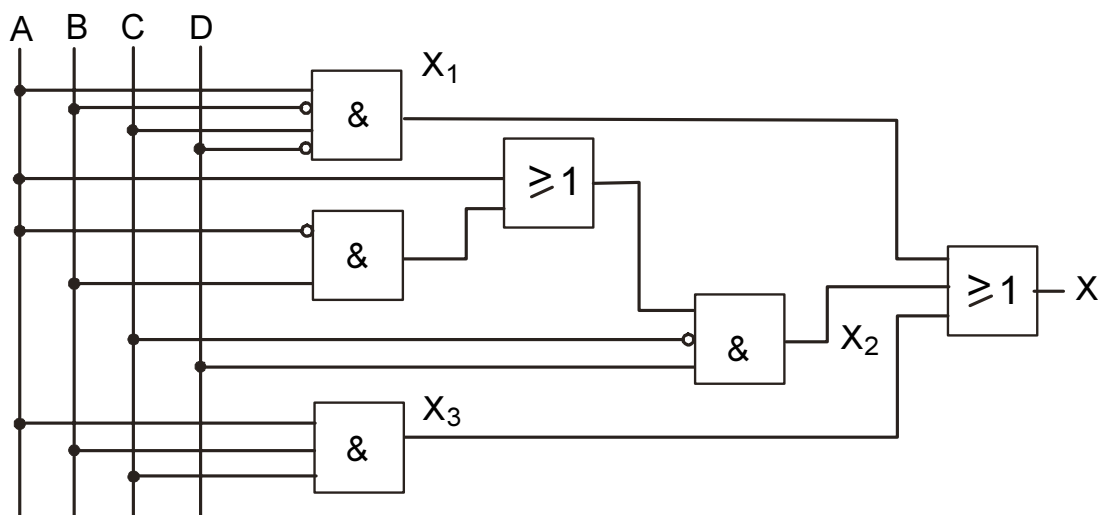
Insgesamt ergibt sich für die Funktion:

$$X = \bar{A} + B \bar{C}$$

### 2.4.3 Analyse eines Schaltnetzes

Bei der Analyse eines Schaltnetzes ist die logische Funktion gesucht.

Gegeben sei ein Schaltnetz:



Zur Aufstellung der Wahrheitstafel lesen wir folgende Verknüpfungen ab:

$$X = X_1 + X_2 + X_3$$

$$X_1 = A \bar{B} C \bar{D}$$

$$X_2 = (A + (\bar{A} B)) \bar{C} D$$

$$X_3 = A B C.$$

Die weitere Rechnung hat zum Ziel, alle Min-Terme zu finden. Dazu werden Terme, die nicht alle Variablen enthalten mit der 1-Funktion erweitert. Der Term  $X_3$  ist z.B. von  $D$  unabhängig. Die notwendige Erweiterung lautet

$$X_3 = A B C = A B C (D + \bar{D}) = A B C D + A B C \bar{D}.$$

Für das gezeigte Beispiel erhält man schließlich die folgende Wahrheitstafel:

A	B	C	D	X
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1
1	1	1	0	1
1	1	1	1	1

Mit dieser Wahrheitstafel ist die gesuchte logische Funktion gefunden.

---

### 3. Schaltkreis-Technologien (Logik-Familien)

In diesem Kapitel wird die schaltungstechnische (elektrische) Realisierung logischer Funktionen, insbesondere der logischen Grundverknüpfungen UND, ODER, NICHT behandelt. Es gibt eine Vielzahl komplementärer elektrischer Größen, die den logischen Variablen „0“ und „1“ zugeordnet werden können. Bei allen hier behandelten Logikfamilien werden jedoch elektrische Spannungen, gemessen gegen einen gemeinsamen Bezugspunkt (Nullpotential oder „Masse“), den Variablen „0“ oder „1“ zugeordnet. Man spricht von

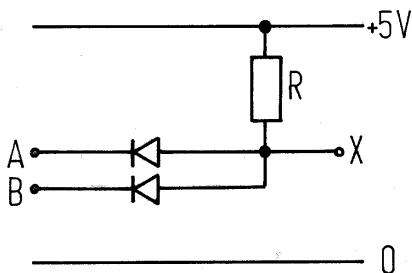
positiver Logik, wenn die positivere der Spannungen dem logischen Wert „1“ zugeordnet wird, die negativere dem logischen Wert „0“;

negativer Logik, wenn die negativere der Spannungen dem logischen Wert „1“ zugeordnet wird, die positivere dem logischen Wert „0“.

#### 3.1 Dioden-Logik (DL)

Bei der Dioden-Logik handelt es sich um die historisch älteste Schaltkreisfamilie. Da sie nur aus passiven Bauelementen besteht, erlaubt sie keine Negation.

Legt man an die Eingänge A und B des in der Abbildung dargestellten UND-Gatters 0 Volt bzw. 5 Volt an, so ermittelt man folgende Wahrheitstabelle (Werte der Variablen in Spannungen angegeben):



A	B	X
0	0	0.7V
0	5V	0.7V
5V	0	0.7V
5V	5V	5V

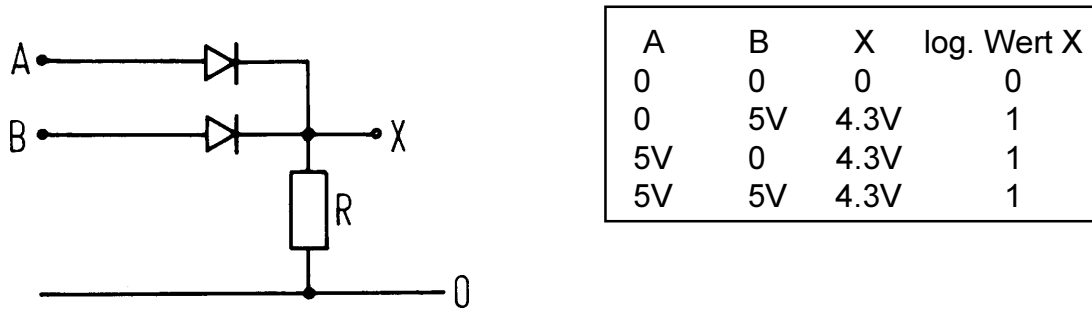
Der Übergang zu logischen Variablen ergibt folgende Wahrheitstafeln:

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

A	B	X
1	1	1
1	0	1
0	1	1
0	0	0

Die linke Wahrheitstafel folgt auf der Basis positiver Logik und stellt die UND-Funktion dar, die rechte Wahrheitstafel basiert auf der negativen Logik und ist die ODER-Funktion. Man kann also mit ein und derselben Schaltung verschiedene logische Funktionen realisieren, je nachdem ob man positive oder negative Logik definiert hat. In den folgenden Abschnitten wollen wir uns auf die positive Logik beschränken.

In positiver Logik läßt sich ein ODER-Gatter wie folgt realisieren:



Die Diodenlogik besitzt einige wesentliche Nachteile:

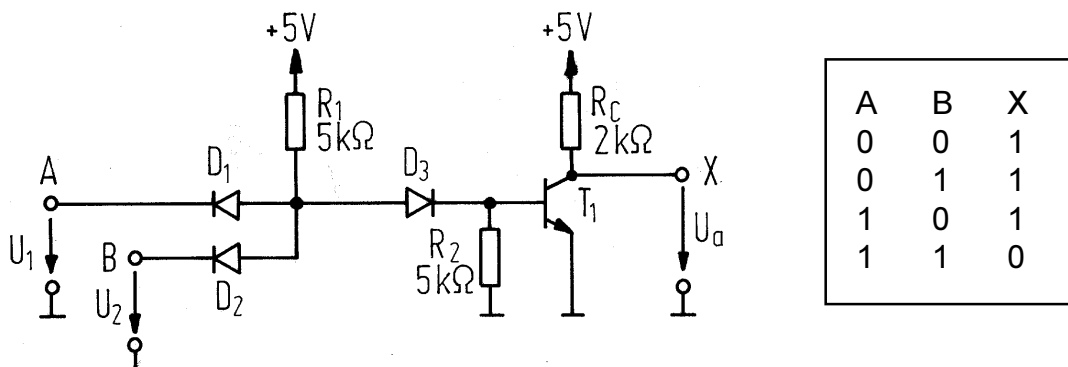
1. Es ist keine Negation möglich.
2. Da die Flußspannung einer Si-Diode etwa 0.7 Volt beträgt, verschiebt sich bei einem UND-Gatter der Wert der logischen „0“ um 0.7 Volt in Richtung zur logischen „1“, bei einem ODER-Gatter der Wert der logischen „1“ in Richtung zur logischen „0“. Bei Aneinanderschaltung mehrerer Gatter können bald beide Schaltzustände nicht mehr unterschieden werden.

### 3.2 Dioden-Transistor-Logik (DTL)

Bei der Dioden-Transistor-Logik wird das in Abschn. 3.1 behandelte Diodengatter durch eine aktive Stufe, nämlich einen Transistor-Inverter ergänzt. Durch die Transistorstufe werden am Ausgang Pegel von praktisch 0 Volt und 5 Volt erreicht. Da der Transistor die Pegel des UND- bzw. ODER-Gatters invertiert, ist die logische Funktion des DTL-Grundgatters NAND bzw. NOR.

Schaltung eines DTL NAND-Gatters:

Wahrheitstabelle:



Anmerkung: Die Diode  $D_3$  kompensiert die Flußspannung (0.7 V) der Dioden  $D_1$  und  $D_2$ . Sie ist notwendig, um den Transistor sicher zu sperren.

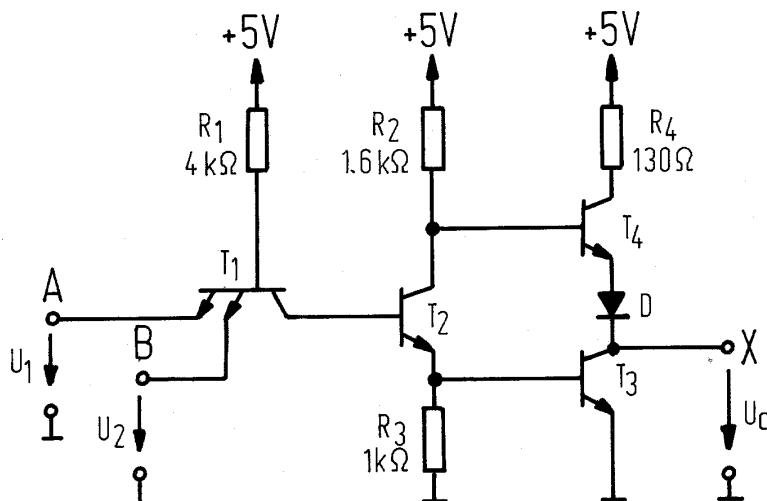
Nachteil der gezeigten Schaltung ist, daß eine kapazitive Last am Ausgang X, wie sie in jeder Schaltung auftritt (z.B. Kapazitäten zwischen Leiterbahnen o. ä.), zu einer Reduzierung der Schaltgeschwindigkeit führt. Eine solche Kapazität kann zwar beim Übergang von 5 V nach 0 V am Ausgang relativ schnell über den leitenden Transistor umgeladen werden, bei Übergang von 0 V nach 5 V muß die Kapazität jedoch über den Kollektorwiderstand des Transistors aufgeladen werden.

### 3.3 Transistor-Transistor-Logik (TTL)

Die TTL stellt eine Weiterentwicklung der DTL dar und ist z. Zt. eine der gebräuchlichsten Schaltkreisfamilien. Bei der TTL wird die aus der DTL bekannte Kombination von Dioden durch einen Multi-Emitter-Transistor ersetzt, der ein schnelleres Umschalten gestattet. Weiterhin wird eine Ausgangsstufe verwendet, die annähernd gleiche Schaltgeschwindigkeiten sowohl in der Anstiegs- als auch in der Abfallflanke erreicht (Totem-Pole-Ausgangsstufe).

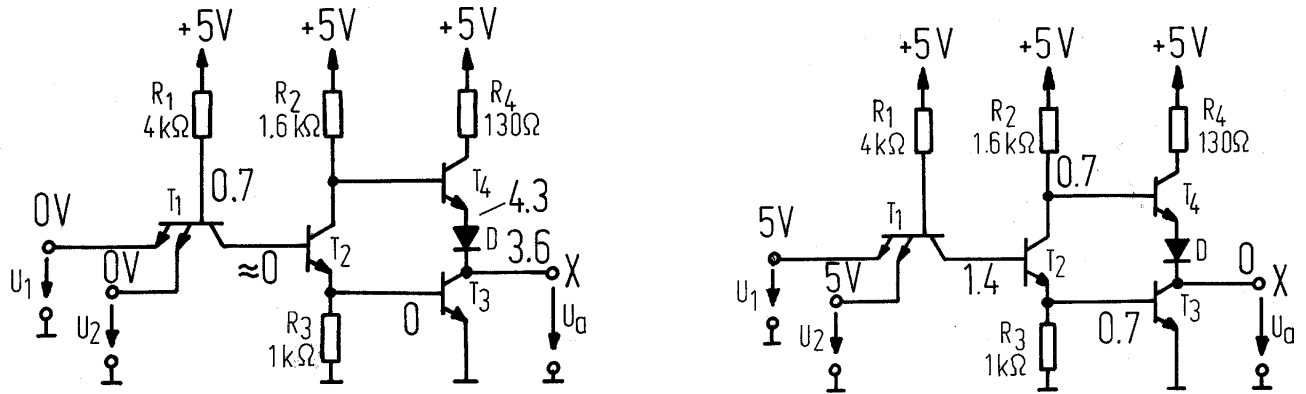
Schaltung eines TTL NAND-Gatters:

Wahrheitstabelle:



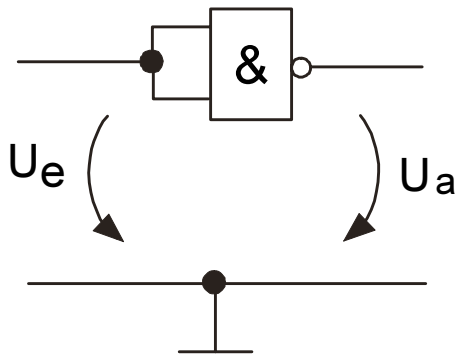
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

In den folgenden zwei Abbildungen sind Spannungswerte für zwei Schaltzustände eingezeichnet, nämlich für  $A = 0, B = 0, X = 1$  (links) sowie für  $A = 1, B = 1, X = 0$  (rechts).

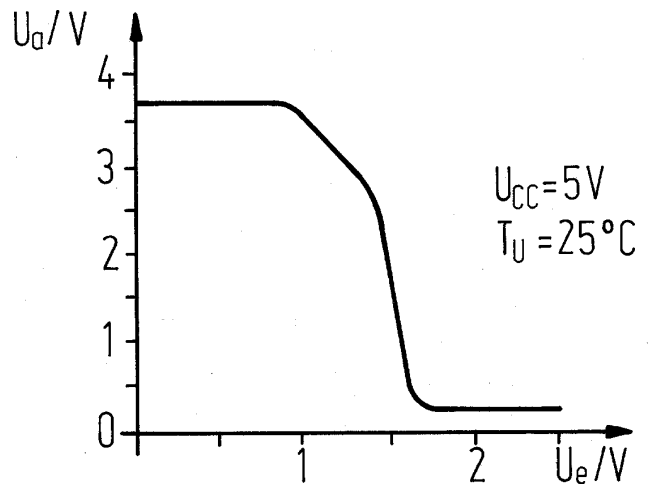


Übertragungsverhalten eines TTL-Gatters

Meßschaltung:



Übertragungskennlinie:



Die Übertragungskennlinie zeigt im Bereich  $0.8\text{ V} < U_e < 1.5\text{ V}$  einen schrittweisen Übergang der Ausgangsspannung  $U_a$  vom HIGH (3.6 V) in den LOW (etwa 0.05 V) Pegel. Dieser Bereich ist für Anwendungen in logischen Schaltungen ungeeignet. Man definiert daher zulässige Bereiche für die beiden Schaltzustände.



**Definition:** Beträgt bei einer TTL-Schaltung die Eingangsspannung  $U_e < 0.8 \text{ V}$ , so wird ein LOW-Pegel erkannt. Ist  $U_e > 2.0 \text{ V}$ , so wird ein HIGH-Pegel erkannt. Die gültigen Spannungen am Ausgang sind  $U_a > 2.4 \text{ V}$  (HIGH) und  $U_a < 0.4 \text{ V}$  (LOW).

Jede TTL-Schaltung muß diese Spezifikation erfüllen. Die Spannungen am Ausgang sind um  $0.4 \text{ V}$  „besser“ als die notwendigen Spannungen am Eingang, was eine zusätzliche Sicherheit gegenüber Störspannungen liefert.

### Abwandlungen der TTL

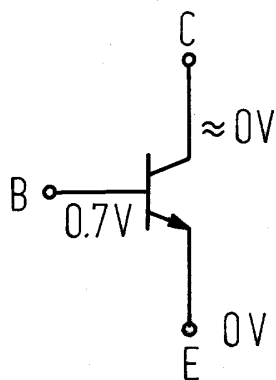
Die Schaltgeschwindigkeit der bisher behandelten Standard-TTL ist durch zwei Effekte begrenzt:

- 1) Sättigung der Transistoren im leitenden Zustand und damit verbundener Sperrverzögerung beim Übergang vom leitenden in den sperrenden Zustand wegen Überflutung der Basis mit Ladungsträgern.
- 2) Verflachung der Schaltflanken durch kapazitive Lasten.

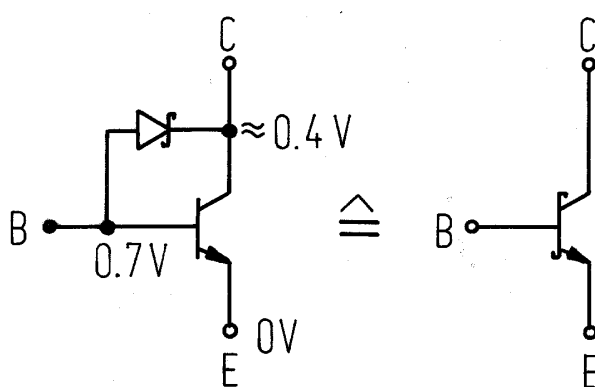
Der erste Effekt kann reduziert werden, wenn die Sättigung der Transistoren begrenzt wird (Schottky Transistor), der zweite Effekt durch Verringerung der Zeitkonstanten, d.h. durch Reduzierung der ohm'schen Widerstände der Schaltung.

Beim Schottky-Transistor wird der Basis-Kollektor-Diode eine Schottky-Diode (Halbleiter-Metall-Diode) parallel geschaltet. Die Flußspannung der Schottky-Diode beträgt nur etwa  $0.3 \text{ V}$ . Damit ergeben sich folgende Spannungen am leitenden Transistor.

gesättigter Transistor:



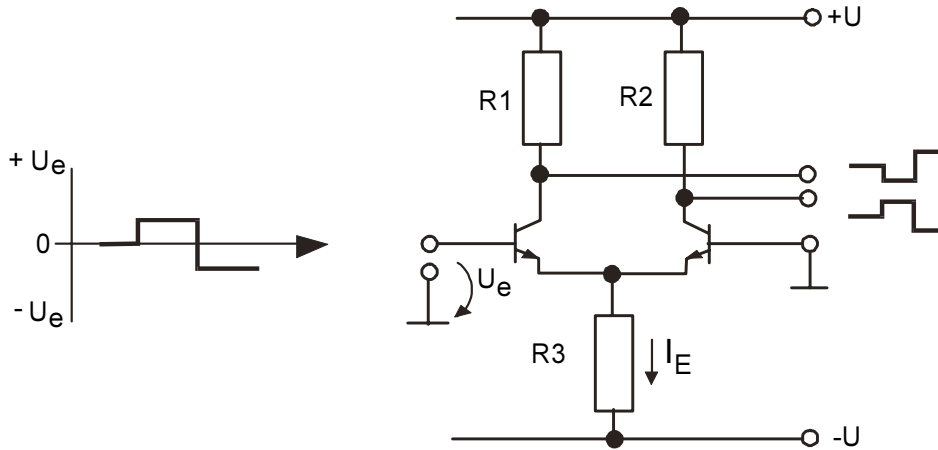
Schottky-Transistor:



Mit Schottky-Transistoren erreicht man Schaltzeiten von etwa  $3 \text{ nsec}$  pro Gatter, jedoch ist die Leistungsaufnahme pro Gatter hoch (Schottky-TTL). Durch Erhöhung der Widerstände kann die Leistungsaufnahme verringert werden, die Schaltzeiten sind dann ähnlich wie in der Standard-TTL (Low-Power-Schottky-Logik, LPSL).

### 3.4 Emitttergekoppelte Logik (ECL)

Die emitttergekoppelte Logik (ECL) vermeidet die Sperrverzögerung aufgrund gesättigter Transistoren. Die Grundsaltung der ECL ist der Differenzverstärker.

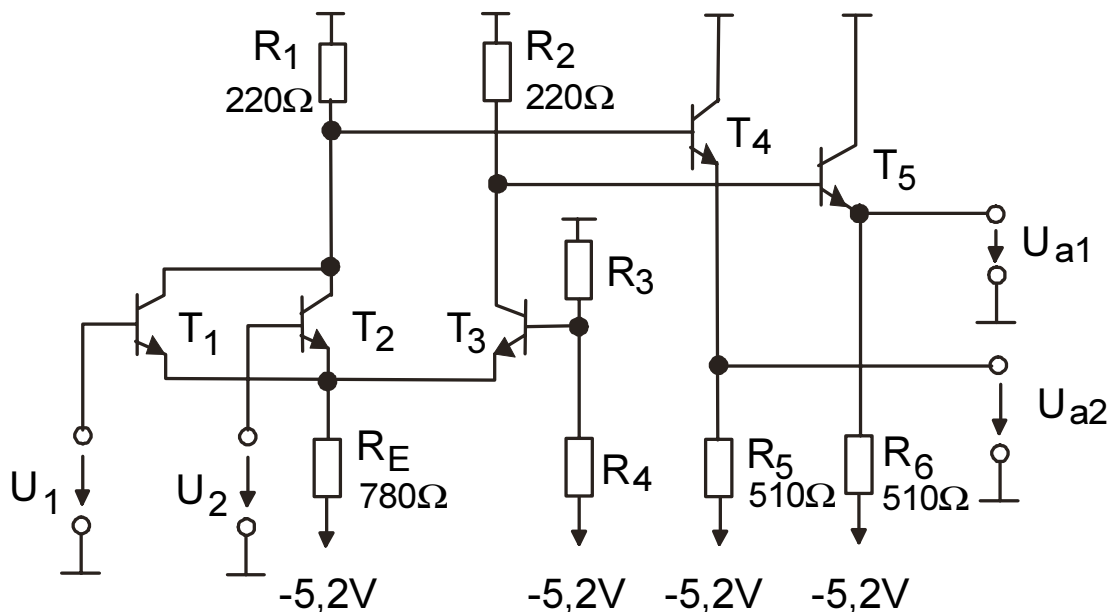


Prinzip: Im stationären Zustand ( $U_e = 0 \text{ V}$ ) fließt durch beide Transistoren der gleiche Strom ( $I_E/2$ ). Wird  $U_e > 0 \text{ V}$ , so wird  $T_1$  mehr und mehr leitend, während  $T_2$  mehr und mehr sperrt. Wird  $U_e < 0 \text{ V}$ , so gilt das umgekehrte.

Die Widerstände werden so dimensioniert, daß keine Sättigung der Transistoren eintritt. In der ECL werden Schaltzeiten von 1 bis 2 nsec erreicht.

Nachteil: hohe Leistungsaufnahme pro Gatter (25 bis 60 mW je nach Typ).

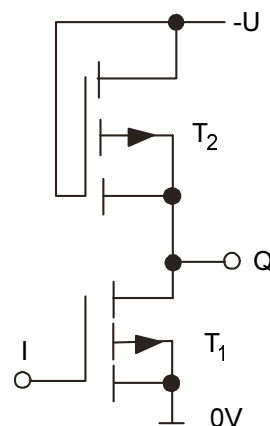
Schaltung eines ECL-OR-NOR-Gatters:



### 3.5 MOS- und CMOS-Logik

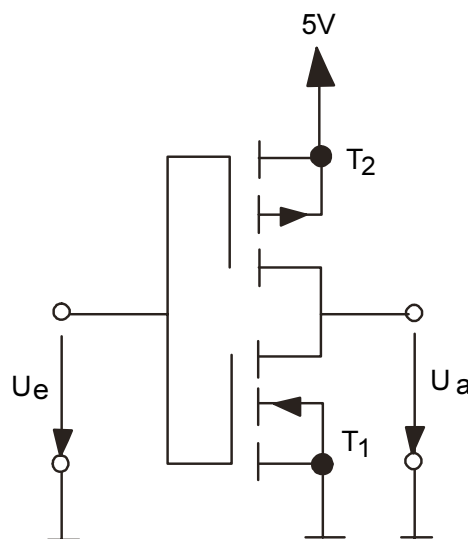
Schaltungen mit sehr geringer Leistungsaufnahme lassen sich mit MOS-Feldeffekt-Transistoren (MOS-FETs) aufbauen. Sehr geringe Leistungsaufnahme ist die Voraussetzung für die Herstellung hochintegrierter Schaltungen, die heute aus bis zu mehreren Hunderttausend Transistoren auf wenigen  $\text{cm}^2$  eines Chips bestehen. Ein wesentlicher Schritt bei der Entwicklung hochintegrierter Schaltungen war der Ersatz aller Widerstände durch platzsparende Transistoren. Ein Transistorinverter in MOS-Technologie sieht wie folgt aus:

Der Arbeitswiderstand des p-Kanal MOS-FETs ist durch einen weiteren p-Kanal-MOS-FET ( $T_2$ ) ersetzt worden. Der Leitwert des MOS-FETs  $T_2$  ist durch die Gatespannung bestimmt. Wird die Gatespannung nur dann angelegt, wenn die Schaltung gebraucht wird (Taktbetrieb), so läßt sich die Leistungsaufnahme auf die Zeitintervalle beschränken, in denen die Schaltung aktiv ist.



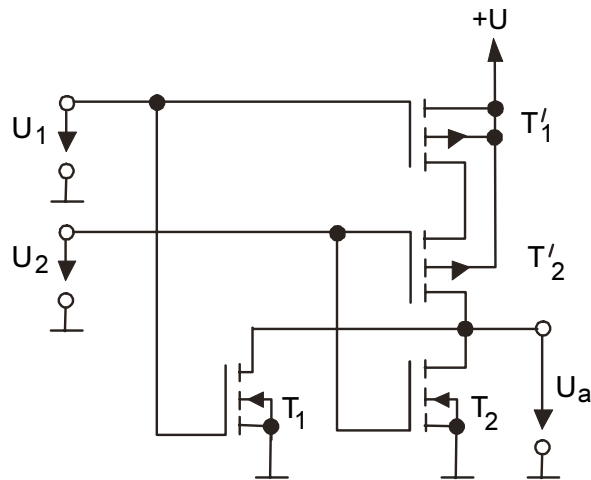
Ein weiterer Durchbruch auf dem Weg zu hochintegrierten Schaltungen gelang mit der Einführung der Komplementär-MOS-Technik (CMOS). Hierbei wird jeweils ein n-Kanal mit einem p-Kanal-MOS-FET in Serie geschaltet. Ein Transistor-Inverter in CMOS-Technik sieht wie folgt aus:

Arbeitsweise: Wird der n-Kanal MOS-FET durch eine positive Spannung leitend gemacht, so sperrt der p-Kanal-MOS-FET. Sperrt der n-Kanal-MOS-FET, so ist der p-Kanal-MOS-FET leitend. Daraus folgt, daß der Querstrom durch die Schaltung zu jeder Zeit Null ist. Die Schaltung benötigt lediglich beim Umschalten zur Bewegung der Ladungsträger Leistung (vgl. Kap. 1.4.2).

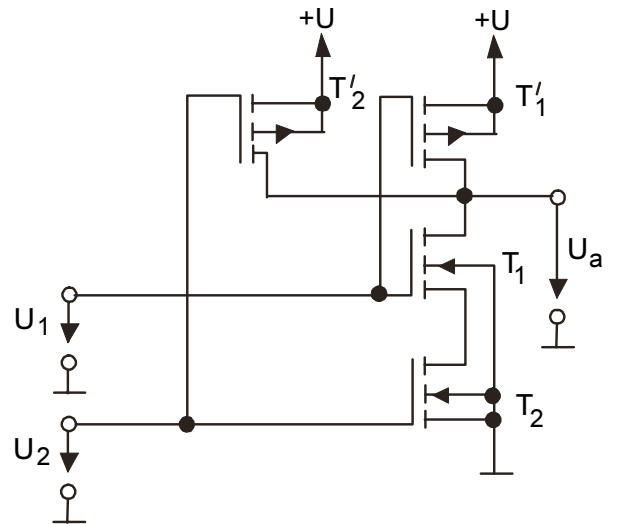


In den folgenden Abbildungen sind Gatter-Schaltungen in CMOS-Technik gezeigt.

NOR-Gatter:



NAND-Gatter:



Zusammenstellung der Eigenschaften verschiedener Schaltkreisfamilien:

	DTL	TTL			ECL	CMOS
		Standard	Schottky	LPSL		
$U_{CC}$ (V)	5	5	5	5	-5.2	3.....15
Signalhub $U_{LH}$ (V)	2.8	3.1	3.1	3.1	0.8	10
Verzögerung je Gatter (ns)	30	13	3	10	1 ... 2	5
Leistung je Gatter (mW)	11	10	19	2	25	0.01
Fan-Out	8	10	10	11	70	50

### 3.6 Herstellung integrierter Halbleiterschaltungen

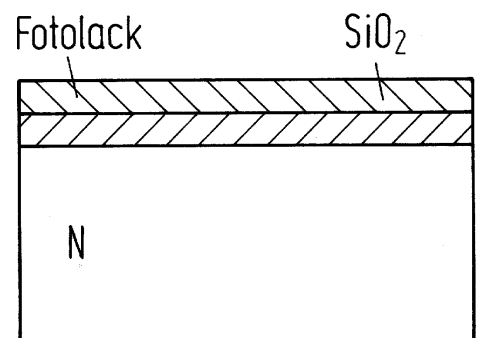
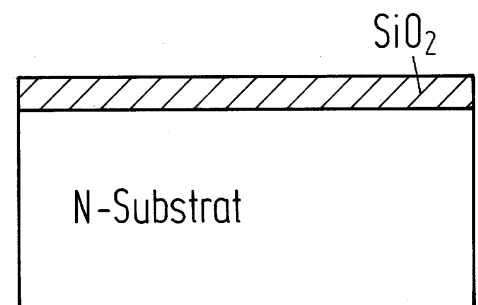
Die Entwicklung integrierter Halbleiterschaltungen geht etwa auf das Jahr 1960 zurück, als erstmals Transistoren vorgestellt wurden, auf deren Halbleitermaterial die zugehörigen Widerstände gleich eingebaut waren. Dieses Prinzip der integrierten Schaltungen hat in den vergangenen 30 Jahren eine ungeheure Weiterentwicklung erlebt. Ausgehend von der TTL-Schaltkreisfamilie, in der Transistoren und Widerstände integriert sind, ging die Entwicklung in Richtung MOS- bzw. CMOS- Technik. Schaltungen dieser Logikfamilien bestehen nur noch aus Transistoren. Vorteil: platzsparende Anordnung möglich, z. Zt. mehrere hunderttausend Transistoren auf wenigen  $\text{cm}^2$  Chipfläche realisierbar (VLSI-Technik, Very Large Scale Integration).

Aus der Transistorherstellung ist sowohl die Planar- als auch die Epitaxial-Technologie bekannt. Diese Verfahren sind auch Grundlage für die Herstellung integrierter Schaltungen (IC). Eines der größten Probleme bei der IC-Herstellung sind Verunreinigungen des Halbleitermaterials während des Fabrikationsprozesses. Solche ungewollten Verunreinigungen lassen sich vermeiden, wenn vor allen Arbeitsgängen die Oberfläche des Siliziumplättchens mit einer sehr dünnen Siliziumoxidschicht (Quarzglas) überzogen wird. Diese Schutzschicht entwickelt sich sofort, wenn das Si-Plättchen in einer Atmosphäre von Sauerstoff und Wasserdampf auf etwa  $1200\text{ }^\circ\text{C}$  erhitzt wird.

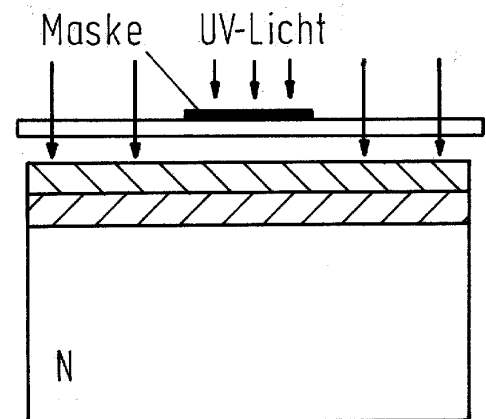
Die wesentlichen Fabrikationsschritte der beiden genannten Techniken werden im folgenden zusammengefaßt.

#### a) Planar-Technik

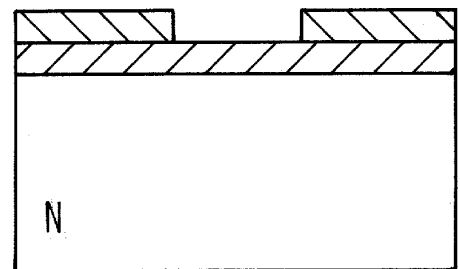
1. Ausgangsmaterial ist ein dotiertes Si-Substrat, im gezeigten Beispiel N-dotiert, das mit einer  $\text{SiO}_2$ -Schicht überzogen wird.
2. Diese Anordnung wird nun mit lichtempfindlichem Lack (Fotolack) überzogen.



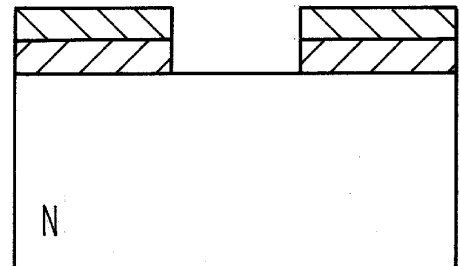
3. Durch eine Maske, die Strukturen der Schaltung enthält (z.B. Leiterbahnen, Kontakte o.ä.) wird der Fotolack mit ultraviolettem (UV) Licht belichtet.



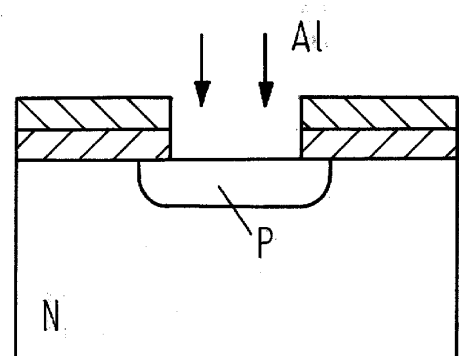
4. Es schließt sich ein Entwicklungsvorgang an. Danach werden die unbelichteten Stellen ausgewaschen. Dieser Vorgang ist als Fotolithographie bekannt.



5. An den Stellen, an denen kein Fotolack mehr vorhanden ist, kann nun die  $\text{SiO}_2$ -Schicht weggeätzt werden. An diesen Stellen sind jetzt Fenster für weitere Fabrikationsschritte vorhanden.



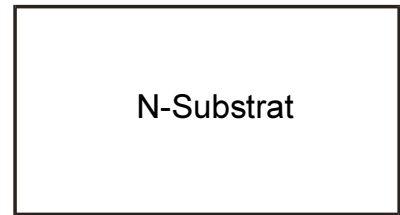
6. Will man nun in das N-Substrat z.B. ein P-dotiertes Gebiet einbringen, so schließt sich ein Diffusionsvorgang an. Man bringt dazu das Si-Plättchen bei etwa  $1200\text{ }^\circ\text{C}$  in eine Atmosphäre von Al, Ga o.ä. Die Dotierungsatome dringen bis unter die Abdeckungen des Si-Substrats ein und bilden einen völlig geschützten PN-Übergang. Anschließend wird wieder mit  $\text{SiO}_2$  verschlossen.



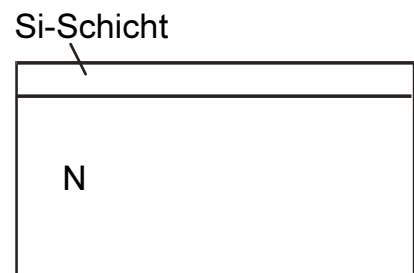
Diese Schritte wiederholen sich für verschiedene Masken solange, bis ein Transistor oder auch eine integrierte Schaltung aufgebaut ist.

b) Epitaxial - Technik

1. Ausgangsmaterial ist wiederum ein dotiertes Si-Substrat. Dieses wird etwa bei 1200 °C einer Atmosphäre aus Wasserstoff und Siliziumtetrachlorid ausgesetzt.



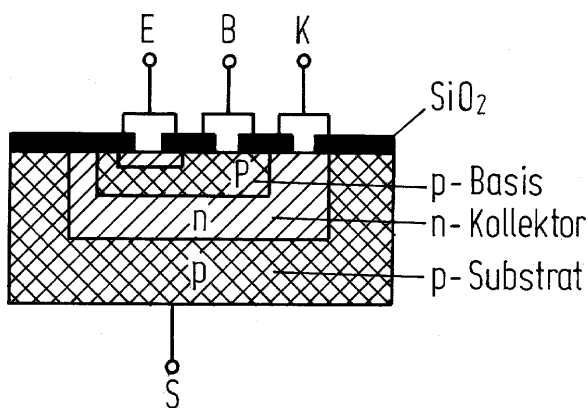
2. Auf dem Si Substrat kondensieren Si-Atome aus der Gasatmosphäre, und es wächst eine einkristalline Si-Schicht auf dem Substrat auf. Es ist möglich, während der Epitaxie das neue Silizium zu dotieren.



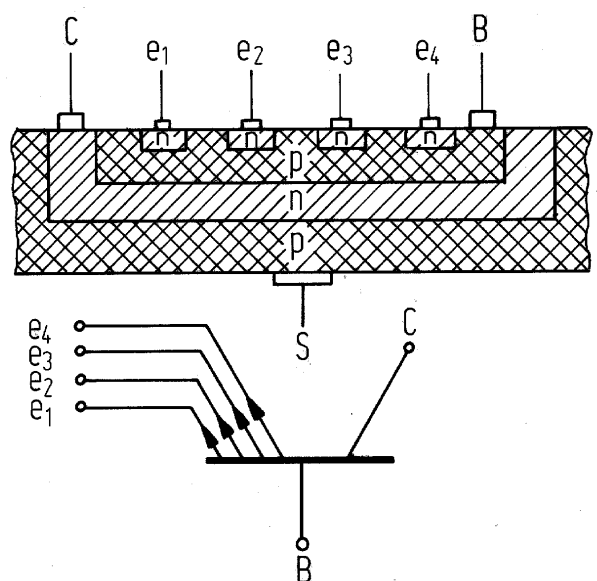
Beide Verfahren werden bei der Herstellung von integrierten Schaltungen angewendet.

Die folgenden Abbildungen zeigen einen IC-Transistor, einen Multi-Emitter-Transistor sowie einen selbstsperrenden N-Kanal-MOS-FET.

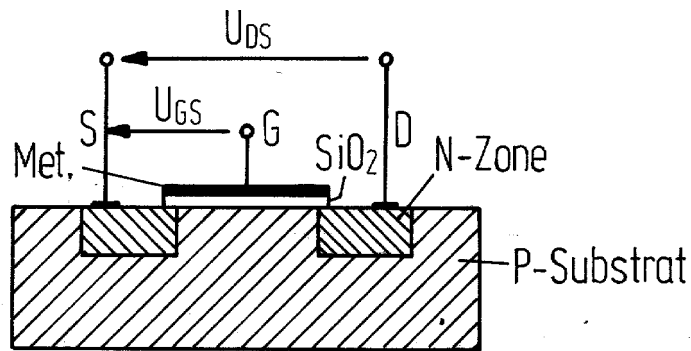
IC-Transistor



Multi-Emitter-Transistor



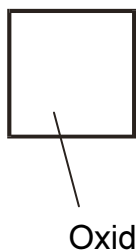
Selbstsperrender N-Kanal- MOS-FET



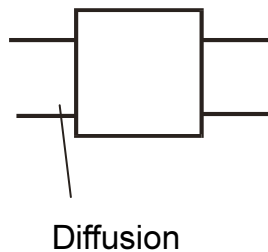
MOS-FETs lassen sich sehr leicht durch Leiterkreuzungen realisieren. Wir betrachten dazu einen selbstsperrenden N-Kanal-MOS-FET.

- 1) Im Maskenverfahren wird auf des P-dotierte Substrat eine Oxidschicht aufgebracht.
- 2) Anschließend werden N-dotierte Leiterbahnen eindiffundiert.
- 3) Schließlich werden weitere Leiterbahnen aus polykristallinem Silizium aufgedampft.

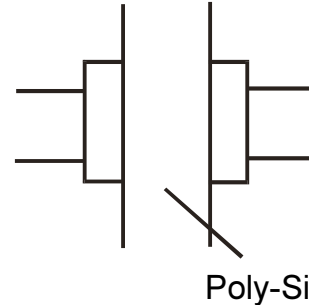
1)



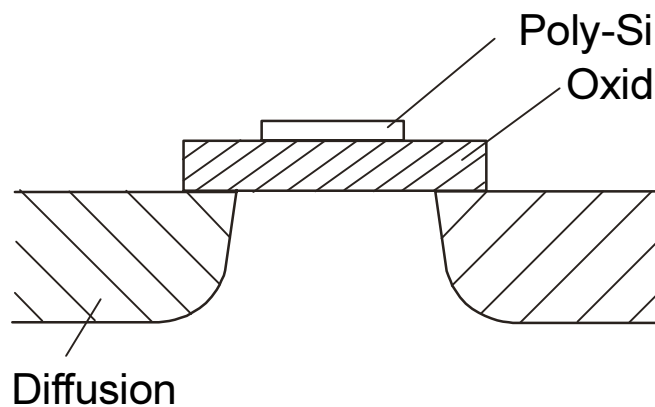
2)



3)



Schnitt durch den erhaltenen Transistor:





### Grenzen der Großkreisintegration (VLSI-Technik):

Bei MOS-Transistoren gibt es ein Skalierungsprogesetz, das besagt, daß die Schaltgeschwindigkeit umgekehrt proportional zu den Abmessungen des Transistors ist. Dies wird verständlich, wenn man bedenkt, daß die Schaltgeschwindigkeit durch die Gate-Substrat-Kapazität und die Leitfähigkeit des Substrats bestimmt ist. Eine Verkleinerung der Abmessungen des Transistors hat eine Verringerung der Gate-Substrat-Kapazität zur Folge. Eine Verringerung der Abmessungen führt weiterhin zu einer Verkürzung der Wegstrecken für die Bewegung von Ladungsträgern bei Umschaltvorgängen (= kürzere Zeiten).

Der Verkleinerung von integrierten Schaltungen ist eine Grenze gesetzt, wenn die Abmessung der Strukturen in die Größenordnung der Lichtwellenlänge des bei der Fotolithographie verwendeten Lichtes kommen. Mit der lichtoptischen Lithographie können Strukturen bis zu Abmessungen von etwa 1  $\mu\text{m}$  abgebildet werden. die Verwendung von Röntgen- oder Elektronenstrahlen läßt erwarten, daß integrierte Schaltungen in Zukunft sowohl an Komplexität (höhere Packungsdichte) als auch an Schaltgeschwindigkeit gewinnen.

---

## 4. Einfache digitale Rechenschaltkreise

### 4.1 Die Exklusiv-ODER-Funktion (XOR, Antivalenz)

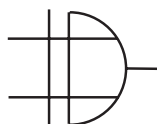
Die Exklusiv-ODER-Funktion (Antivalenz-Funktion) und ihre Negation (Äquivalenz-Funktion) finden einige wichtige Anwendungen in der Digitalelektronik. Dazu gehören einfache Rechenschaltkreise, Komparatoren zum Vergleich von Zahlen im Dualsystem, Überprüfung der Übertragungsgenauigkeit von Zahlen bei der Daten-Fern-Übertragung (DFÜ) über Telefonleitungen.

Für 2 Eingangsvariable lautet die Wahrheitstafel der XOR-Funktion:

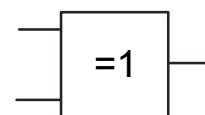
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Schaltsymbole

alt:



DIN 40700:



Diese Wahrheitstafel lässt sich sehr leicht in eine elektrische Schaltung umsetzen. Die disjunktive Normalform lautet:

$$X = \bar{A} B + A \bar{B}. \quad (1)$$

Die konjunktive Normalform:

$$X = (\bar{A} + \bar{B}) (A + B). \quad (2)$$

Durch Anwendung der de Morgan'schen Theoreme lässt sich die konjunktive Normalform umschreiben:

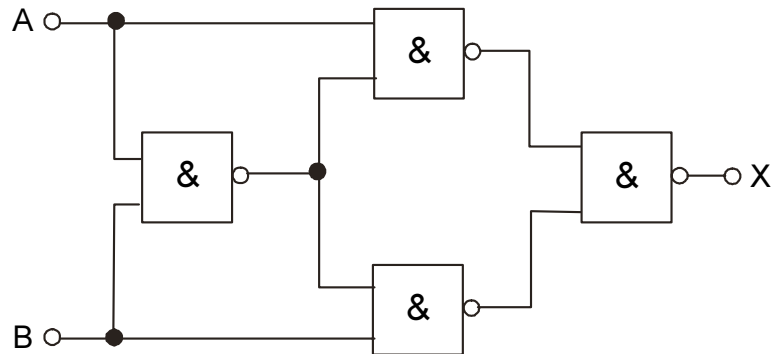
$$X = \overline{\bar{A} B} (A + B). \quad (3)$$

Damit bestehen prinzipiell drei Möglichkeiten, die XOR-Funktion zu realisieren (Nachteil jedoch: gemischte Anwendung der Funktionen UND, NAND, OR, NOR, d.h. unwirtschaftliche Lösung, da viele verschiedene Gatter-Funktionen benötigt werden). Wirtschaftlichste Lösung: Aufbau der XOR-Funktion aus 4 NAND-Gattern.

Dazu gehen wir von Gl. (3) aus:

$$X = \overline{\bar{A} B} (A + B) = \overline{\bar{A} B} A + \overline{\bar{A} B} B = \overline{\overline{\bar{A} B} A} \overline{\overline{\bar{A} B} B}.$$

Diese Schaltung lässt sich wie folgt aufbauen:



Durch Negation einer der beiden Eingangsvariablen oder der Ausgangsgröße erhält man die Äquivalenzfunktion.

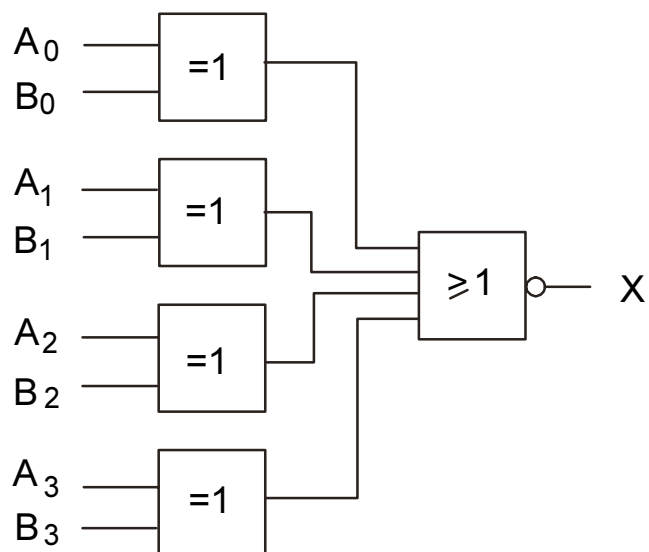
## 4.2 Anwendungen der XOR-Funktion

Zwei wichtige Anwendungen der Antivalenzfunktion seien herausgegriffen:

- Komparatoren zum Vergleich von Binärzahlen,
- Additions- und Subtraktionsschaltungen.

Beispiel eines Komparators zum Vergleich von zwei vierstelligen Binärzahlen (4 Bits):

Das Ausgangssignal dieser Schaltung nimmt nur dann den Wert 1 an, wenn die Zahlen A und B in allen Stellen übereinstimmen.



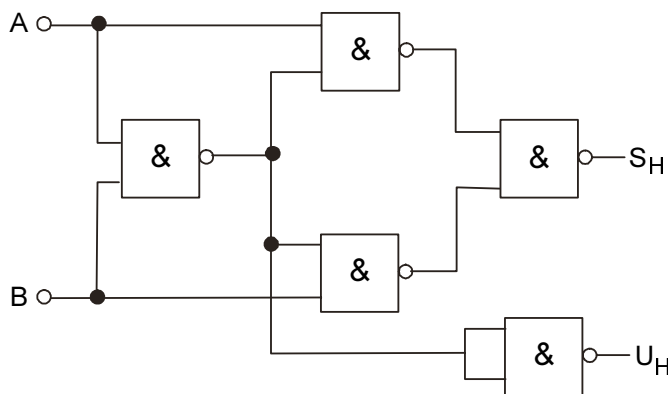
Additionsschaltungen:

Die Addition zweier einstelliger Binärzahlen A und B ergibt folgende Tabelle, wobei  $S_H$  die Summe der beiden Summanden und  $U_H$  ein möglicher Übertrag ist:

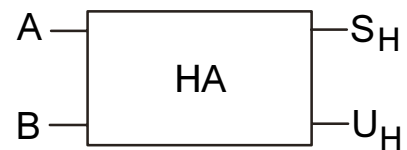
A	B	$S_H$	$U_H$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Für die Summe erhält man  $S_H = \bar{A} B + A \bar{B}$  (XOR-Funktion), für den Übertrag  $U_H = AB$  (UND-Funktion). Eine Schaltung, die diese Wahrheitstabelle realisiert, heißt Halbaddierer.

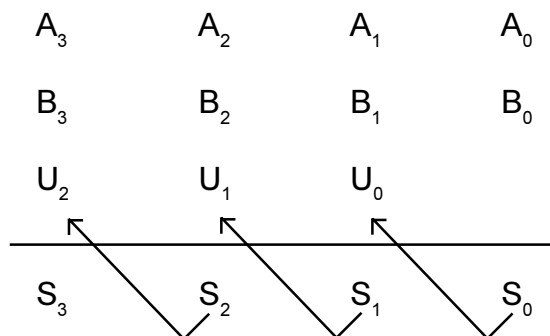
Realisierung:



Schaltsymbol für die nachfolgenden Betrachtungen:



Bei der Addition mehrstelliger Binärzahlen muß neben der bitweisen Addition gleichwertiger Binärstellen gegebenenfalls auch der Übertrag aus der Addition der vorhergehenden geringwertigen Stelle berücksichtigt werden.



Eine Addierschaltung, die den Übertrag aus der Addition der vorhergehenden geringwertigen Stelle berücksichtigt, heißt Volladdierer.

Die Wahrheitstafel für die Addition der 3. Stelle lautet:

$U_1$	$A_2$	$B_2$	$S_2$	$U_2$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Die disjunktive Normalform ergibt für die Summe

$$S_2 = \bar{U}_1 S_H + U_1 \bar{S}_H,$$

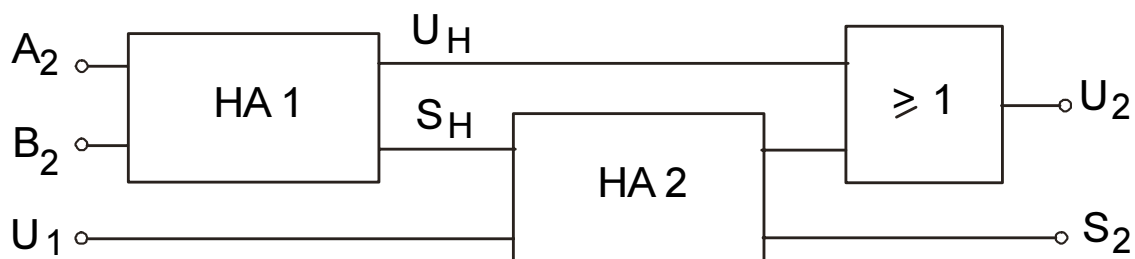
wobei

$$S_H = \bar{A}_2 B_2 + A_2 \bar{B}_2$$

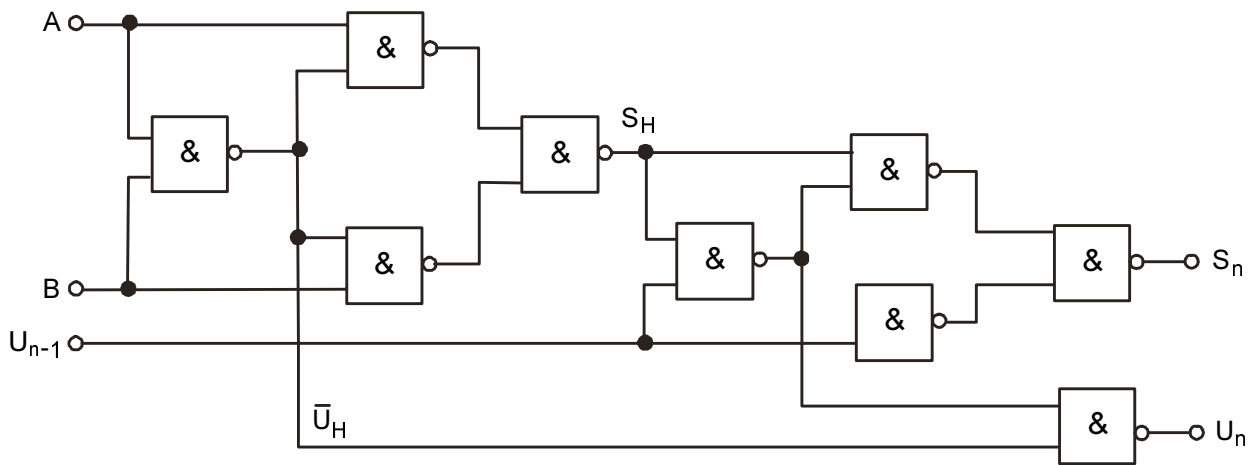
Für den Übertrag erhält man:

$$U_2 = U_1 S_H + U_H$$

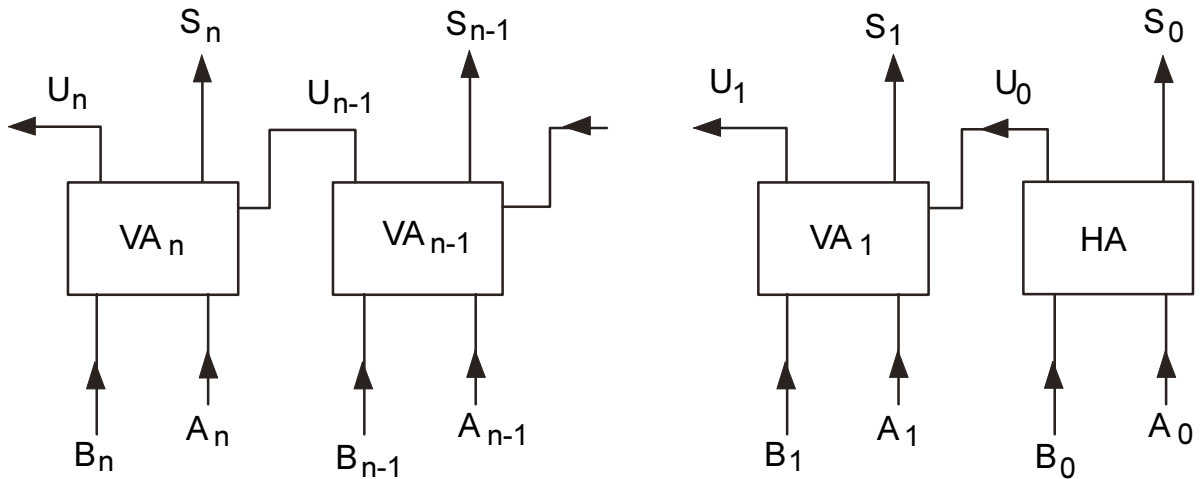
Ein Volladdierer läßt sich aus zwei Halbaddierern aufbauen:



Volladdierer aus NAND-Gattern aufgebaut:



Addierer für mehrstellige Binärzahlen bestehend aus in Kaskade geschalteten Volladdierern. (Für die Addition der geringstwertigen Stelle ist nur ein Halbaddierer erforderlich):



## 5. Schaltwerke (Sequentielle Logik)

Bei den bislang behandelten Logikschaltungen (Schaltnetzen) waren die Ausgangsgrößen  $X$ ,  $Y$ ... zu jeder Zeit in eindeutiger Weise durch die Kombination der Eingangsvariablen  $A$ ,  $B$ ,  $C$ ... gegeben:

$$X = f(A, B, C \dots), \quad Y = g(A, B, C \dots).$$

Bei den jetzt zu behandelnden sequentiellen Schaltungen (Schaltwerken) hängen die momentanen Ausgangsgrößen  $X^+$ ,  $Y^+$  usw. darüber hinaus auch von Zuständen  $X$ ,  $Y$ ... der Schaltung ab, die zeitlich früher vorhanden waren:

$$X^+ = f(A, B, C \dots X, Y \dots), \quad Y^+ = g(A, B, C \dots X, Y \dots).$$

Sequentielle Schaltungen sind also in der Lage, Information zu speichern.

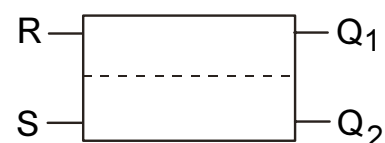
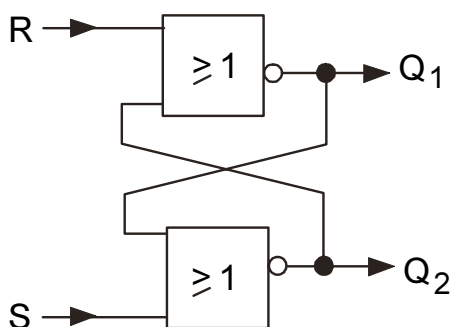
### 5.1 Kippschaltungen

Einfache Vertreter sequentieller Logikschaltungen sind die Kippschaltungen, von denen die Flip-Flops in der Digitalelektronik besonders wichtig sind. Flip-Flops sind Kippschaltungen mit zwei stabilen Zuständen. Daneben gibt es noch Kippschaltungen mit einem stabilen Zustand (Mono-Flops) und solche, die keinen stabilen Zustand besitzen (astabile Kippschaltungen). Mono-Flops werden zur Erzeugung von einzelnen Impulsen verwendet, astabile Kippschaltungen dienen zur Erzeugung von Impulsfolgen.

#### 5.1.1 Basis-Flip-Flop

Basis-Flip-Flops (Grund-Flip-Flops) können aus zwei NOR- oder zwei NAND-Gattern aufgebaut werden.

Basis-Flip-Flop aus zwei NOR-Gattern:



Bei der Ermittlung der Wahrheitstabelle wird vorausgesetzt:

$$Q_2 = \overline{Q_1} \quad (\text{komplementäre Ausgänge})$$

Die Wahrheitstabelle wird folgendermaßen ermittelt:

1. Der Wert von  $Q_1$  wird festgestellt.
2. Sodann werden die Eingangspegel  $R$  und  $S$  an die Schaltung angelegt.
3. Die neuen Ausgangspegel  $Q_1^+$  und  $Q_2^+$  werden gemessen.

Man erhält:

S	R	$Q_1$	$Q_1^+$	$Q_2^+$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

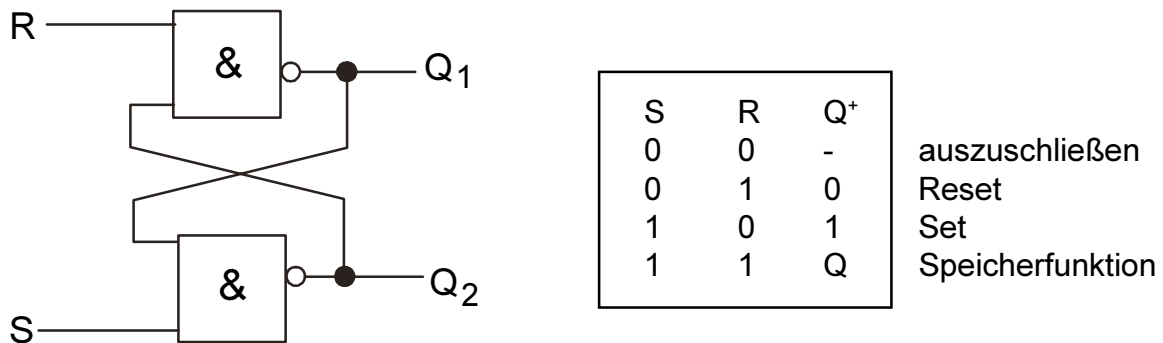
Aus den ersten zwei Zeilen erkennt man, daß bei der Kombination  $(R,S) = (0,0)$  der Ausgangswert unverändert bleibt (Speicherfunktion). Bei der Kombination  $(R,S) = (0,1)$  wird  $Q_1^+ = 1$  (Set-Funktion = Setzen), bei  $(R,S) = (1,0)$  wird  $Q_1^+ = 0$  (Reset-Funktion = Zurücksetzen). Die Kombination  $(R,S) = (1,1)$  führt zu nicht komplementären Ausgangszuständen. Wenn  $R$  und  $S$  gleichzeitig in den Zustand 0 übergehen, ist es zufällig, welche stabile Lage das Flip-Flop einnimmt. Die Kombination  $(R,S) = (1,1)$  muß deshalb vermieden werden. Dazu dient eine später zu behandelnde Zusatzschaltung, die die logische Bedingung  $(R S) = 0$  erfüllt.

Reduzierte Wahrheitstabelle des RS-Flip-Flops aus NOR-Gattern:

S	R	$Q^+$	
0	0	Q	Speicherfunktion
0	1	0	Reset
1	0	1	Set
1	1	-	auszuschließen



Ein aus NAND-Gattern aufgebautes RS-Flip-Flop und die dazugehörige Wahrheitstafel ist im folgenden gezeigt:

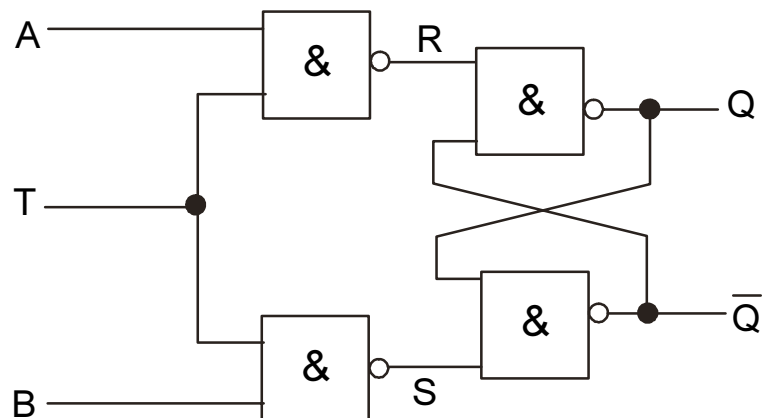


Die hier gezeigten RS-Flip-Flops sind als Speicher noch nicht sehr geeignet, da sie die an den Eingängen anliegende Information jederzeit übernehmen (transparente Flip-Flops). Gesucht ist daher ein Flip-Flop, das die Eingangsinformation nur zu bestimmten Zeiten einspeichert.

### 5.1.2 Flip-Flop mit Takteingang

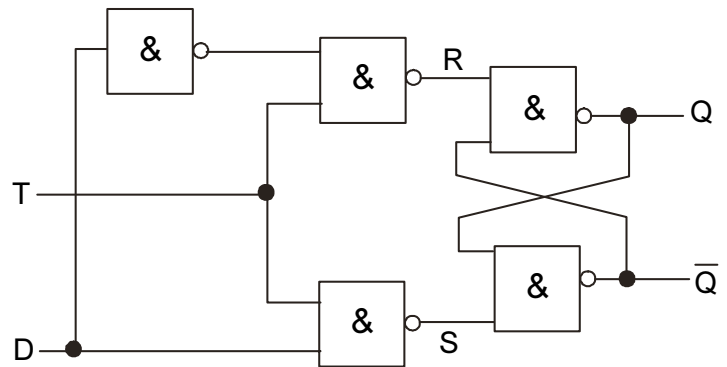
Die eben genannte Forderung läßt sich z. B. mit folgender Schaltung erfüllen:

Nur während der Taktimpuls anliegt ( $T = 1$ ), kann die Information  $A$  und  $B$  über die NAND-Gatter der Einstellschaltung an die Eingänge  $S$  und  $R$  des Basis-Flip-Flops gelangen. Solange  $T = 0$ , ist  $R = S = 1$  (Speicherfunktion).



Die gezeigte Einstellschaltung besitzt noch einen Nachteil: der Fall  $A = B = T = 1$  darf nicht auftreten, da dann  $R = S = 0$  und  $Q_1 = Q_2 = 1$  (nichtkomplementäre Ausgänge). Dieser Nachteil kann durch folgende Schaltung vermieden werden (D-Flip-Flop):

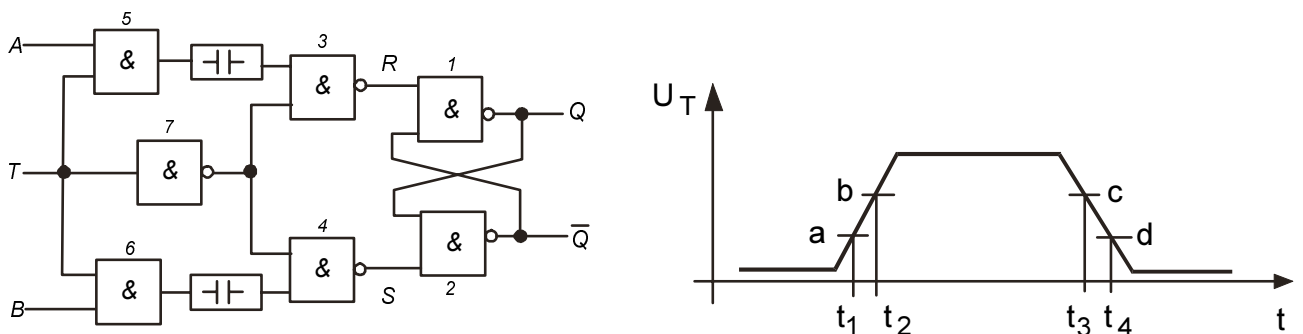
Solange  $T = 0$ , ist  $R = S = 1$  (Speicherfunktion). Wenn  $T = 1$ , liegen an  $R$  und  $S$  immer komplementäre Signale an. Den Fall  $R = S = 0$  gibt es nicht.



Flip-Flops, die die gleichen Eigenschaften haben wie das gezeigte D-Flip-Flop, lassen sich auf verschiedene Weisen realisieren.

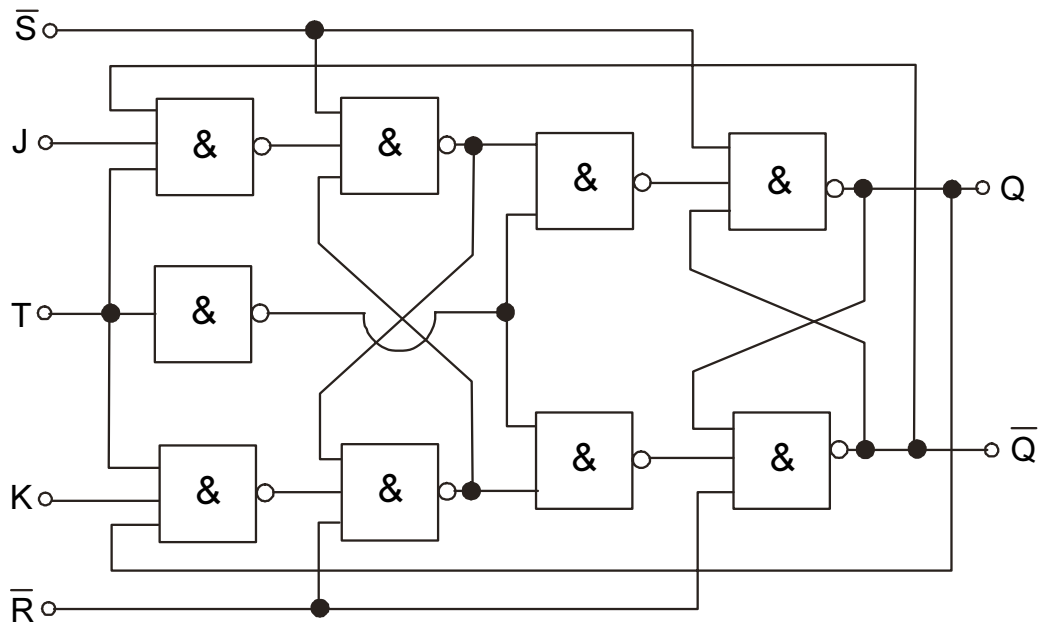
### 5.1.3 Flip-Flops mit Zwischenspeicherung

D-Flip-Flops sind als Speicherelemente geeignet. In manchen Schaltungen kann es jedoch nachteilig sein, daß die am Dateneingang  $D$  anliegende Information beim Eintreffen des Taktsignals sofort an die Ausgänge weitergegeben wird. Für viele Anwendungen werden Speicher-Flip-Flops benötigt, die die Eingangsinformation erst nach einer kurzen Verzögerungszeit übernehmen. Das Prinzip eines Flip-Flops mit Zwischenspeicherung ist im folgenden gezeigt.



Solange  $T = 0$ , ist der Zwischenspeicher von den Eingängen  $A$  und  $B$  isoliert. Die Gatter 3 und 4 sind jedoch geöffnet, so daß die Zwischenspeicherinformation an  $R$  und  $S$  anliegt. Beim Eintreffen des Taktimpulses sperren zunächst die Gatter 3 und 4 (Zeitpunkt  $t_1$ ), sodann öffnen zur Zeit  $t_2$  die Gatter 5 und 6 (Information an  $A$  und  $B$  wird in den Zwischenspeicher übernommen). An der abfallenden Flanke des Taktimpulses sperren zunächst die Gatter 5 und 6 (Zeit  $t_3$ ). Dann öffnen zur Zeit  $t_4$  die Gatter 3 und 4 (Information wird aus dem Zwischenspeicher in das RS-Flip-Flop übernommen).

Eine sehr universell einsetzbare Speicheranordnung ist unter dem Namen JK-Master-Slave-Flip-Flop bekannt. Dieses Flip-Flop besitzt 5 Eingänge: je einen direkt wirkenden Set- und Reset-Eingang, zwei sog. Vorbereitungseingänge  $J$  und  $K$  und den Takteingang  $T$ .



Für dieses Flip-Flop ermittelt man folgende Wahrheitstabelle:

Für  $(J,K) = (0,0)$  ist  $Q^+ = Q$ ,  
 für  $(J,K) = (0,1)$  ist  $Q^+ = 0$ ,  
 für  $(J,K) = (1,0)$  ist  $Q^+ = 1$   
 (Anwendung als Speicher).

Für  $(J,K) = (1,1)$  ist  $Q^+ = \overline{Q}$   
 (Anwendung in Zählern).

J	K	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

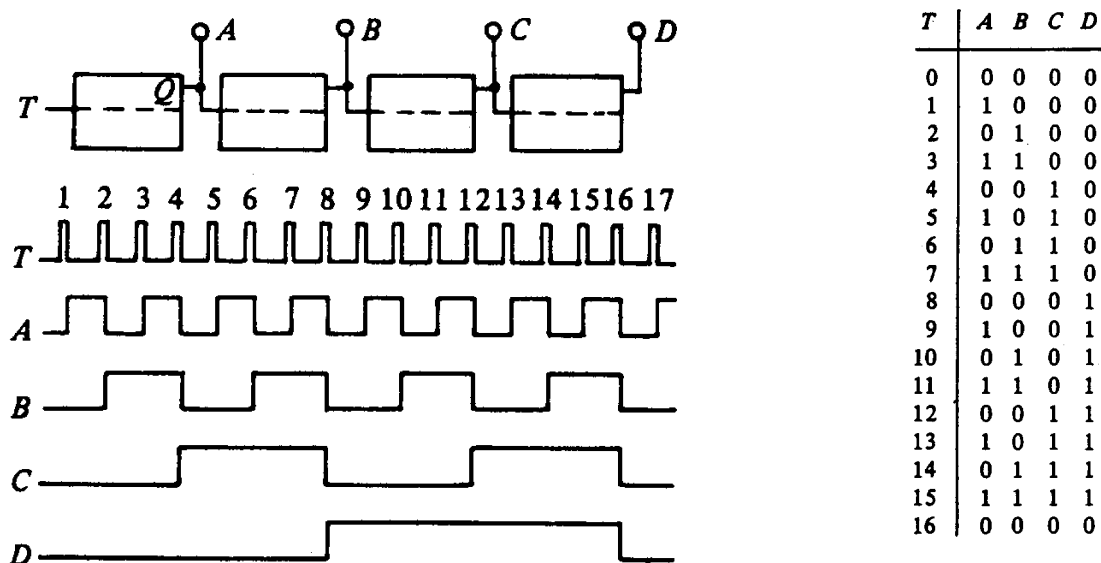
## 5.2 Zähler

Unter einem Zähler verstehen wir eine Schaltung, die durch sukzessive Eingangsimpulse eine Reihe unterscheidbarer Zustände annimmt und erst nach  $n$  Schritten in die Ausgangsstellung zurückkehrt. Dann beginnt der Zyklus von neuem. Besteht der Zyklus aus  $n$  unterscheidbaren Zuständen, so spricht man von einem Zähler modulo  $n$ .

### 5.2.1 Asynchronzähler

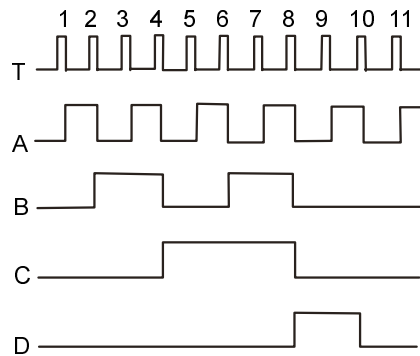
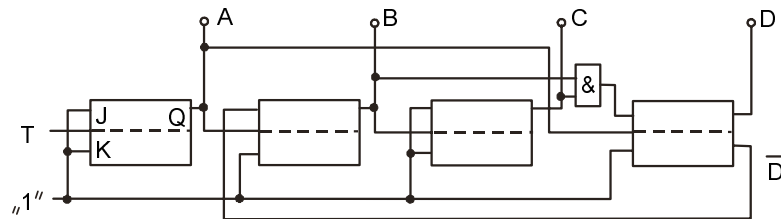
Ein sehr einfacher Zähler läßt sich durch eine Reihenschaltung von JK-Flip-Flops realisieren. Im folgenden ist ein asynchroner Binärzähler bestehend aus 4 JK-Flip-Flops gezeigt. Dieser Zähler besitzt 16 verschiedene Schaltzustände; es ist ein Zähler modulo 16. Der Zähler läßt sich beliebig erweitern. Mit 10 Flip-Flops kann man z.B. bis zu  $2^{10} = 1024$  zählen. Im allgemeinen zählt man die Zahl Null als Ausgangszustand mit, so daß ein  $n$ -stelliger Binärzähler bis  $2^n - 1$  reicht, während  $2^n$  wieder gleich dem Ausgangszustand (Null) ist.

Zählkette aus 4 Flip-Flops mit Impulsdigramm und Zustandstabelle:



Die duale Zahlendarstellung ist, besonders bei großen Zahlen, ungewohnt und wenig anschaulich. Es liegt daher nahe, einen Zähler zu bauen, der über 10 Zählschritte verfügt (Zähldekade). In der oben gezeigten Schaltung muß man dann lediglich dafür sorgen, daß nach der Zahl 9 wieder der Ausgangszustand 0 erreicht wird. Eine solche Zähldekade heißt binär codierter Dezimalzähler, (BCD-Zähler).

BCD-Zähldekade:

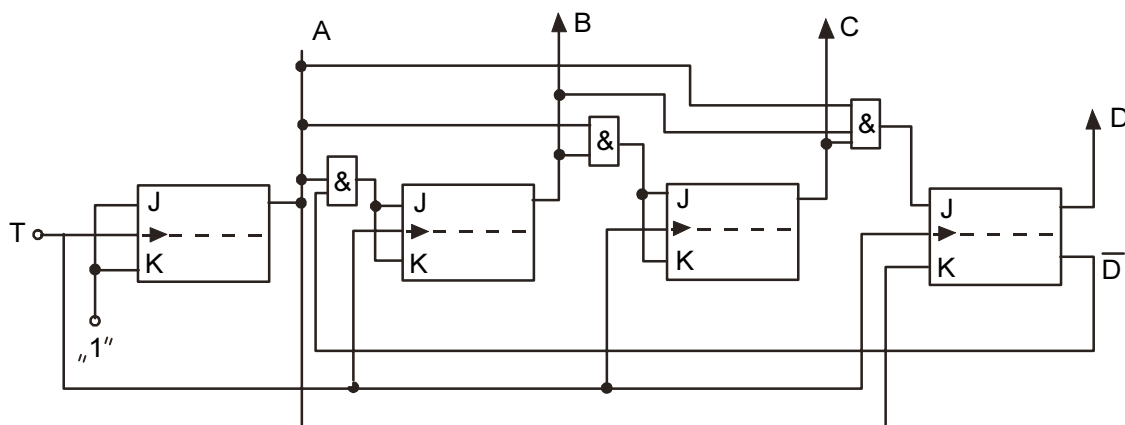


T	A	B	C	D
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	0	0	0

5.2.2 Synchronzähler

Das Kennzeichen der eben behandelten Asynchronzähler ist, daß die Zählimpulse nur auf den Takteingang des ersten Flip-Flops gelangen. Das Eingangssignal für das letzte Flip-Flop kommt erst dann an, wenn alle vorhergehenden Flip-Flops umgekippt sind. Die Ausgangszustände A bis D werden jeweils um die Schaltzeit eines Flip-Flops verzögert erreicht. Bei langen Zählketten oder hohen Zählfrequenzen hat das zur Folge, daß einige Flip-Flops ihren Zustand noch ändern, während schon weitere Zählimpulse am ersten Flip-Flop angekommen sind. Man muß also die Verzögerungszeit der gesamten Zählkette abwarten, bevor das Zählergebnis feststeht.

Schnelle Zähler baut man daher so, daß die Zählimpulse gleichzeitig an allen Takteingängen anliegen, so daß alle Flip-Flops synchron mit der Flanke des Taktimpulses kippen. Ein Synchron-BCD-Zähler ist im folgenden gezeigt:

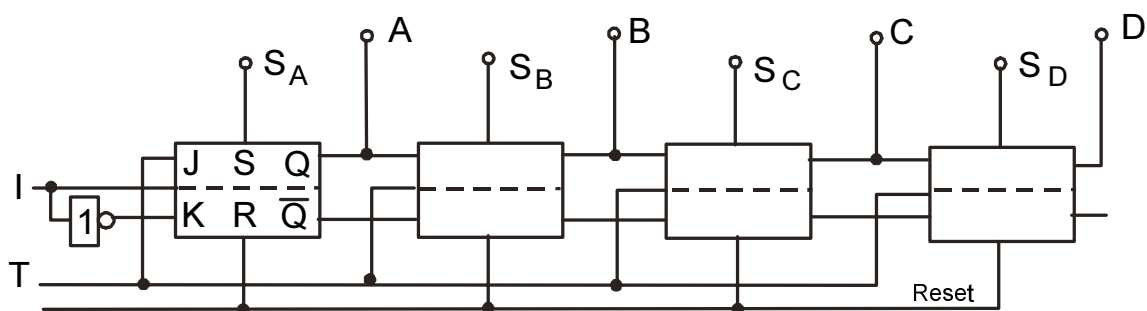


### 5.3 Schieberegister

Unter einem Register versteht man i.a. eine Anzahl von Flip-Flops zur Speicherung binärer Information. Ein Schieberegister hat darüber hinaus die Fähigkeit, die eingespeicherte Information bitweise zu verschieben. Schieberegister finden vielfältige Anwendungen. So ist z.B. die Verschiebung aller Stellen (Bits) einer Dualzahl um eine Stelle zu höherwertigen Bits gleichbedeutend mit der Multiplikation der Zahl mit dem Faktor 2. Dabei muß in das geringstwertige Bit ( $2^0$ ) eine Null eingeschrieben werden. Verschiebung zu geringerwertigen Bits bedeutet Division der Zahl durch 2. Schieberegister werden weiterhin angewendet bei der Serien-Parallel- und der Parallel-Serien-Wandlung von Information.

Ein 4-Bit-Schieberegister ist im folgenden dargestellt. Anhand der Wahrheitstabelle des JK-Flip-Flops läßt sich die Wirkungsweise herausfinden. Der Eingang I am ersten Flip-Flop dient zur Auswahl, ob beim Verschieben von links Nullen oder Einsen eingeschrieben werden sollen. Bei  $I = 0$  ist  $(J,K) = (0,1)$ , d.h. mit jedem Taktimpuls erfolgt ein Reset (Einschreiben einer Null).

Schaltung:



Beispiel:

	A	B	C	D
Ausgangszustand	1	1	0	0
1. Taktimpuls	0	1	1	0
2. Taktimpuls	0	0	1	1
3. Taktimpuls	0	0	0	1
4. Taktimpuls	0	0	0	0

Das Einschreiben von Informationen in das Register erfolgt über die Set- und Reset-Eingänge der JK-Flip-Flops.

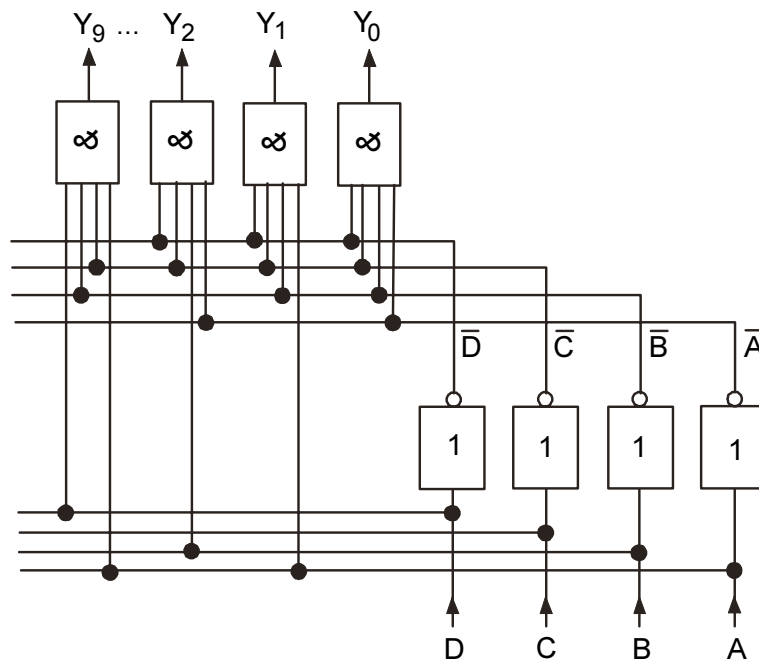
### 5.4 Ziffernanzeigen

Zur Anzeige einer in einem Zähler oder Register enthaltenen Information (Zahl) dienen verschiedene Schaltungen. Das einfachste Verfahren, eine Dualzahl lesbar zu machen, besteht darin, den Zustand eines jeden Bits durch ein Lämpchen oder eine Leuchtdiode anzuzeigen. Dieses Verfahren ist jedoch bei großen Dualzahlen sehr unbequem. Man strebt daher an, das Ergebnis in Form einer Dezimalzahl anzuzeigen.

Der Inhalt einer BCD-Zähldekade läßt sich beispielsweise dadurch anzeigen, daß die Binärinformation in einer Decodierschaltung entschlüsselt und durch eines von 10 Lämpchen angezeigt wird, sog. "1 aus 10"-Decodierung. Die Decodierung läßt sich mit UND-Gattern realisieren:

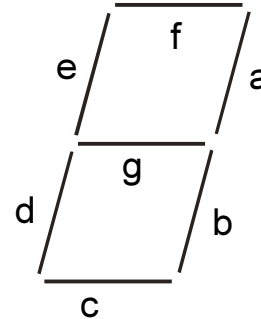
Ziffer	Dualzahl				Darstellung
	D	C	B	A	
0	0	0	0	0	$\bar{D} \bar{C} \bar{B} \bar{A}$
1	0	0	0	1	$\bar{D} \bar{C} \bar{B} A$
2	0	0	1	0	$\bar{D} \bar{C} B \bar{A}$
3	0	0	1	1	$\bar{D} \bar{C} B A$
:		:			:
:		:			:
9	1	0	0	1	$D \bar{C} \bar{B} A$

Schaltung:



Eine zur Zeit sehr gebräuchliche Art, Ziffern lesbar zu machen, bedient sich der 7-Segment-Anzeige. Zur Darstellung einer Ziffer werden dabei Anzeigeelemente in folgender Form angeordnet:

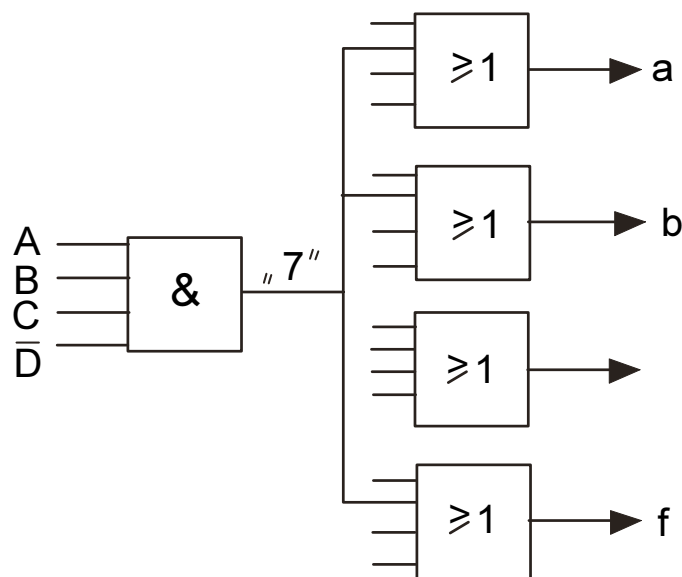
7-Segment-Anzeigen gibt es auf Halbleiterbasis (Leuchtdioden) für Meßgeräte, als auch in größerer Ausführung (Leuchtröhren) zur Ziffernanzeige von Bahnhofsuhren etc.



Zur Darstellung der Ziffern 0...9 müssen folgende Segmente a...g leuchten:

Ziffer	0	1	2	3	4	5	6	7	8	9
Segment										
a	*	*	*	*	*			*	*	*
b	*	*		*	*	*	*	*	*	*
c	*		*	*		*	*		*	*
d	*		*				*		*	
e	*				*	*	*		*	*
f	*		*	*		*	*	*	*	*
g			*	*	*	*	*		*	*

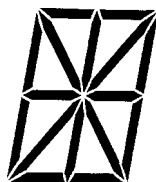
Decodierung der Ziffer 7:





Mit der 7-Segment-Anzeige können die Ziffern 0...9 dargestellt werden sowie die Buchstaben A, b, C, d, E, F. Diese Buchstaben dienen zur Anzeige der Zahlen 10, 11, 12, 13, 14, 15 bei einem aus 4 Flip-Flops bestehenden Binärzähler. Will man auch andere Buchstaben darstellen, so sind mehr als 7 Anzeigesegmente notwendig (16-Segment-Anzeige).

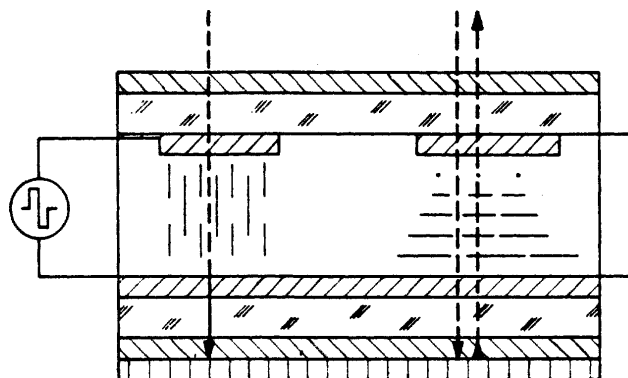
16-Segment-Anzeige



Mehr-Segment-Anzeigen auf Halbleiterbasis (Leuchtdioden, Light Emitting Diodes, LED-Anzeigen) verbrauchen viel Leistung. Eine stromsparende Anordnung benutzt Flüssigkristalle (Liquid-Cystal-Display, LCD-Anzeige). Das Prinzip der Anordnung beruht darauf, daß gewisse, im Raum ausgerichtete, Flüssigkristalle die Schwingungsrichtung linear polarisierten Lichtes drehen können. Die Ausrichtung der Kristalle erfolgt durch ein angelegtes elektrisches Feld. In Verbindung mit geeigneten Polarisationsfiltern können Anordnungen gebaut werden, die in Abhängigkeit von der Ausrichtung der Kristalle Licht durchlassen oder reflektieren.

Aufbau eines LCD-Anzeigeelements:

1. Polarisator
- Glas
- Segment-Elektrode
- Flüssigkristall
- Gegenelektrode
- Glas
2. Polarisator
- Spiegel



Zwischen zwei Glasplatten befindet sich eine etwa 10  $\mu\text{m}$  dicke Flüssigkristallschicht. Auf die Glasplatten sind durchsichtige, elektrisch leitende Elektroden aufgedampft, die ein 7-Segment Symbol bilden. Jedes Segment hat eine eigene elektrische Zuleitung. Im feldfreien Zustand sind die Moleküle parallel zu den Elektroden ausgerichtet, liegen aber an den gegenüberliegenden Elektroden senkrecht zueinander.

Einfallendes Licht wird im 1. Polarisator linear polarisiert. In der Flüssigkristallschicht wird die Polarisations Ebene um 90° gedreht und passiert den gegenüber dem 1. Polarisator um 90° gedrehten 2. Polarisator. Es wird sodann am Spiegel reflektiert: das Segment erscheint hell (rechter Teil der Zeichnung). Bei Anlegen einer Spannung drehen sich die Kristalle in die Feldrichtung hinein, das Licht kann den 2. Polarisator nicht passieren, so daß im Bereich des Segmentes die Anzeige dunkel bleibt und sichtbar wird (links). Um eine Zerstörung des Flüssigkristalls durch Elektrolyse zu vermeiden, wird der Display mit einer Wechselspannung betrieben.

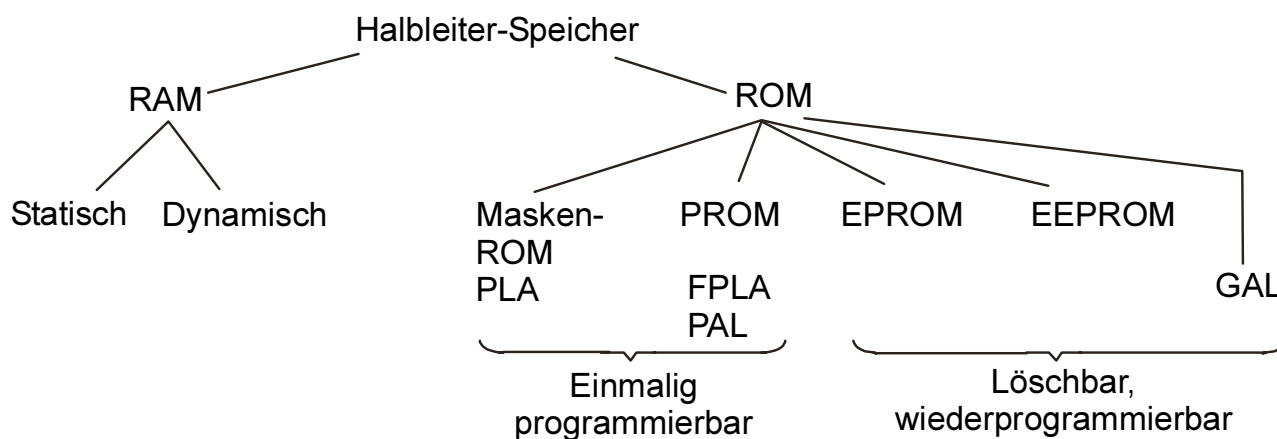
## 6. Speicher

Als Grundelemente von Speichern haben wir bislang die Flip-Flops kennengelernt. Daneben gibt es noch weitere Möglichkeiten, Speicher zu realisieren. Wir unterscheiden zwischen Halbleiterspeichern, magnetischen, optischen und mechanischen Speichern. Zu der Klasse der magnetischen Speicher gehören Magnetkernspeicher, Magnetbänder und Platten. Magnetkernspeicher sind derzeit nicht mehr aktuell. Zu den mechanischen Speichern gehören Lochkarte und Lochstreifen, die ebenfalls kaum noch verwendet werden. Optische Speicher (zumeist als Speicherplatten eingesetzt) werden durch Laser abgetastet und verfügen über eine große Speicherkapazität (Massenspeicher). Wesentliche Bedeutung in Rechenanlagen haben neben den magnetischen Massenspeichern die Halbleiterspeicher erlangt, die einen sehr schnellen Zugriff auf die gespeicherten Daten erlauben.

Bei den Halbleiterspeichern unterscheiden wir zwei Gruppen:

- a) Schreib-Lese-Speicher,
- b) Nur-Lese-Speicher (Festwertspeicher).

Übersicht über die gebräuchlichsten Halbleiter-Speicher:



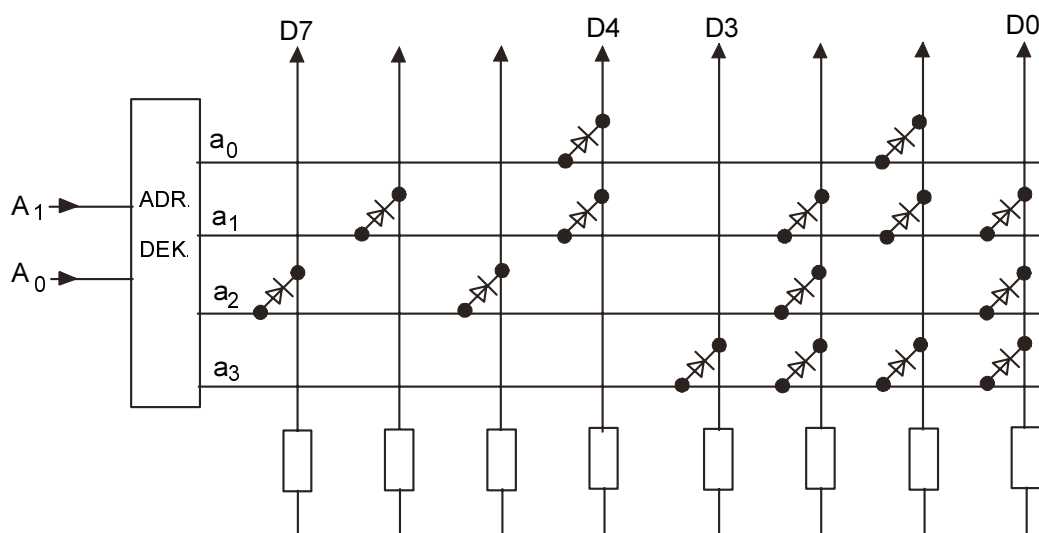
Hierbei bedeutet:

RAM	Random Access Memory: Speicher mit wahlfreiem Zugriff
ROM	Read-Only-Memory: Nur-Lese-Speicher
PROM	Programmable Read-Only-Memory: programmierbares ROM
EPROM	Erasable PROM: löschbares, wiederprogrammierbares PROM
EEPROM	Electrically erasable PROM: elektrisch lösches, wiederprogrammierbares PROM
PLA	Programmable Logic Array: programmierbares logisches Feld
FPLA	Field Programmable Logic Array: durch Anwender programmierbares logisches Feld
PAL	Programmable Array Logic: vereinfachtes FPLGAL
GAL	Generic Array Logic: lösches und wiederprogrammierbares logisches Feld

## 6.1 Festwertspeicher (ROM, PROM, EPROM, EEPROM)

Festwertspeicher dienen dazu, Daten zu speichern, die sich nicht verändern. Dabei kann es sich im einfachsten Fall um konstante Zahlen handeln (z.B. die Konstante  $\pi = 3.1415926\dots$ ). Es können aber auch ganze Datensequenzen gespeichert werden, die ein Rechenprogramm bilden. Weiterhin dienen Festwertspeicher dazu, große logische Schaltnetze zu ersetzen. Bei dieser Anwendung wird die Kombination der Eingangsvariablen als Speicheradresse interpretiert. Jeder dieser Zustandskombinationen wird ein Zustand der Ausgangsvariablen zugeordnet, der durch die Wahrheitstabelle gegeben ist und unter der entsprechenden Adresse gespeichert ist. Jeder Ausgangszustand kann z.B. als Minterm in der disjunktiven Normalform der Eingangsvariablen interpretiert werden.

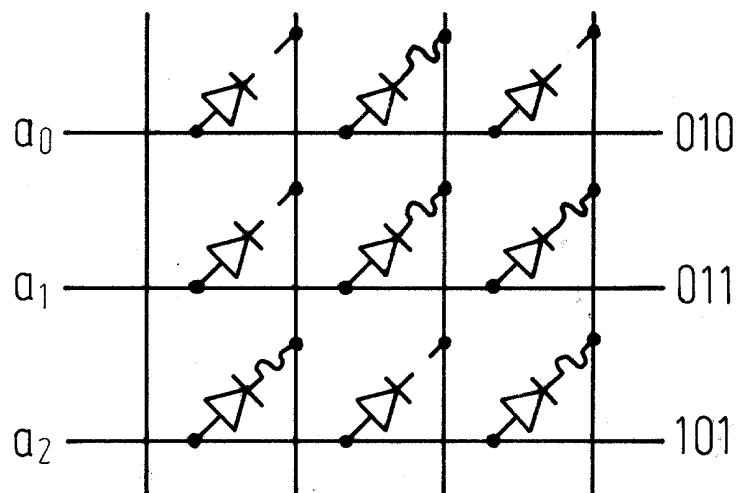
Ein Festwertspeicher lässt sich mit Halbleiterdioden auf sehr einfache Weise realisieren. Für 4 Adressen  $a_0 \dots a_3$  erhält man im Prinzip folgende Anordnung:



Bei Anlegen einer positiven Spannung an eine Adressenleitung erscheint auf den Datenleitungen  $D_0 \dots D_7$  dann eine positive Spannung („1“-Signal), wenn die entsprechende Datenleitung mit der Adressenleitung über eine Diode verbunden ist. Ist keine Diode vorhanden, so bleibt die Datenleitung auf „0“.

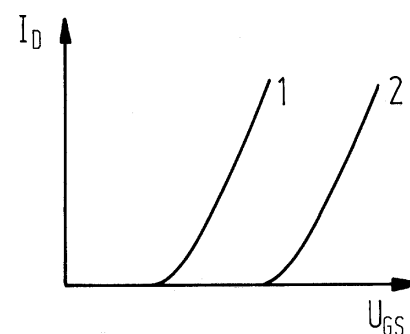
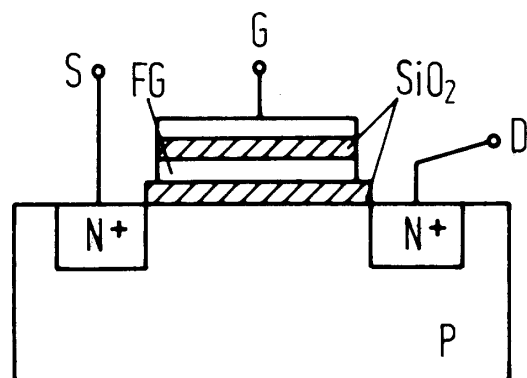
In einem solchen Festwertspeicher lassen sich also ganze Datenworte speichern, die durch Anwahl ihrer Adresse abrufbar sind. In welchen Kreuzungspunkten zwischen Adressen- und Datenleitungen Dioden vorhanden sind oder nicht, ist durch die zu speichernde Information gegeben und wird vom Hersteller des Speichers festgelegt (sog. Maskenprogrammierung). Eine Änderung des Speicherinhalts ist nicht möglich. Die Herstellung solcher ROMs lohnt sich nur bei großen Stückzahlen (z.B. Algorithmen in Taschenrechnern o.ä.).

Durch den Anwender programmierbare ROMs (sog. PROMs) besitzen zunächst in allen Kreuzungspunkten Dioden, die mit Sicherungselementen (z.B. dünne Bahnen aus polykristallinem Silizium) in Reihe geschaltet sind. Der Anwender „brennt“ mit Hilfe eines Programmiergerätes mit einem kurzen Stromimpuls die Sicherungen an denjenigen Kreuzungen heraus, an denen eine Diode unerwünscht ist. Dieser Vorgang ist nicht korrigierbar. Ein Schema eines solchen PROMs ist im folgenden gezeigt.



Programmierbare und löschbare ROMs sind unter der Bezeichnung EPROM (Erasable Programmable ROM) und EEPROM (Electrically Erasable Programmable ROM) bekannt. Bei den EPROMs besteht die Verbindung an den Kreuzungen zwischen Adressen- und Datenleitungen aus MOS-FETs mit einer „schwimmenden“ Gateelektrode (Floating Gate MOS-FET). Ein solcher MOS-FET ist im folgenden gezeigt:

Zur Programmierung einer „0“ wird zwischen Gate und Substrat ein kurzer Impuls hoher negativer Spannung angelegt. Negative Ladungsträger gelangen auf die „schwimmende“ Gate-Elektrode (FG). Um einen so programmierten MOS-FET in den leitenden Zustand zu versetzen ist eine höhere Gate-Source-Spannung nötig, als bei einem ohne negative Ladungen auf dem FG. Die Kennlinien  $I_D = f(U_{GS})$  sind für die beiden genannten Fälle gegeneinander verschoben. Kennlinie (1): ohne neg. Ladung, Kennlinie (2): mit neg. Ladung.



Eine andere Anwendung besteht darin, daß positive Ladungen auf das FG gebracht werden, wodurch ein bestehender Kanal zwischen Source und Drain erzeugt wird: der MOS-FET ist dann immer leitend.

Floating-Gate MOS-FETs halten die einmal aufgebrachte Ladung nach Herstellerangaben garantiert 10 Jahre lang. Dies ist wichtig beim Einsatz solcher EPROMs in Rechenanlagen.

Die Löschung des EPROMs erfolgt durch ultraviolettes Licht. Bei den EEPROMs erfolgt die Löschung auf elektrischem Wege.

## 6.2 Programmierbare logische Felder (PLA, FPLA, PAL, GAL)

Die Verwendung von ROMs zur Realisierung logischer Schaltnetze ist vielfach nicht effizient, da häufig nur an verhältnismäßig wenigen Stellen der Wahrheitstabelle eine „1“ steht, sonst aber überall eine „0“. In solchen Fällen ist es ökonomischer, nicht die ganze Wahrheitstabelle zu speichern, sondern nur die logische Funktion zu bilden, d.h. die Min-Terme abzuspeichern.

### Beispiel:

Ein Schaltnetz verbinde 4 Eingangsvariable  $x_0 \dots x_3$  mit zwei Ausgangsgrößen  $y_0$  und  $y_1$  dergestalt, daß

$$y_0 = x_1x_3 + x_0x_2x_3 + \bar{x}_0\bar{x}_2 + x_0x_1,$$

$$y_1 = x_0x_1x_2x_3 + x_2x_3 + x_0x_1.$$

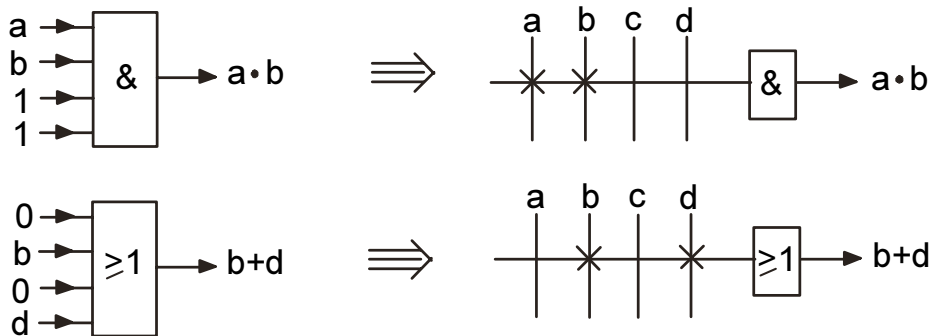
Die gesuchten Funktionen können dadurch gefunden werden, daß zunächst die UND-Verknüpfungen der Eingangsvariablen, bzw. ihrer Negationen, ermittelt werden, die anschließend über eine ODER-Verknüpfung zum Ergebnis zusammengeführt werden. Schaltungstechnisch wird diese Aufgabe so gelöst, daß man eine Matrix entwirft, bei der die Eingangsgrößen mit einer Anzahl von UND-Gattern über sich kreuzende Leiterbahnen verbunden werden. Damit lassen sich die Min-Terme realisieren. In einer zweiten Matrix werden dann die Ausgänge der UND-Gatter auf ODER-Gatter geführt, wobei ein ODER-Gatter pro Ausgangsgröße vorgesehen ist. Eine solche Anordnung wird als programmierbares logisches Feld (PLA) bezeichnet. Die Programmierung der PLAs erfolgt einmalig durch den Hersteller. Ein PLA, das vom Anwender programmiert werden kann, heißt Field Programmable Logic Array (FPLA).

Die Programmierung erfolgt ähnlich wie beim PROM mit Hilfe von Programmiergeräten. Bei etwas einfacheren FPLAs ist nur die UND-Matrix programmierbar, die ODER-Verknüpfungen werden bereits bei der Herstellung des Bausteins festgelegt. Solche Schaltungen sind unter der Bezeichnung Programmable Array Logic (PAL) bekannt. Seit einiger Zeit gibt es daneben auch noch löschbare, und somit wiederprogrammierbare, FPLAs und PALs, die sog. GALs (Generic Array Logic). Die GALs haben heute weite Verbreitung gefunden. Es wird eine Vielzahl von Typen für sehr verschiedenartige Anwendungen angeboten.

Um die programmierten UND- bzw. ODER-Verknüpfungen übersichtlich darzustellen, verwendet man folgende abgekürzte Symbolik:

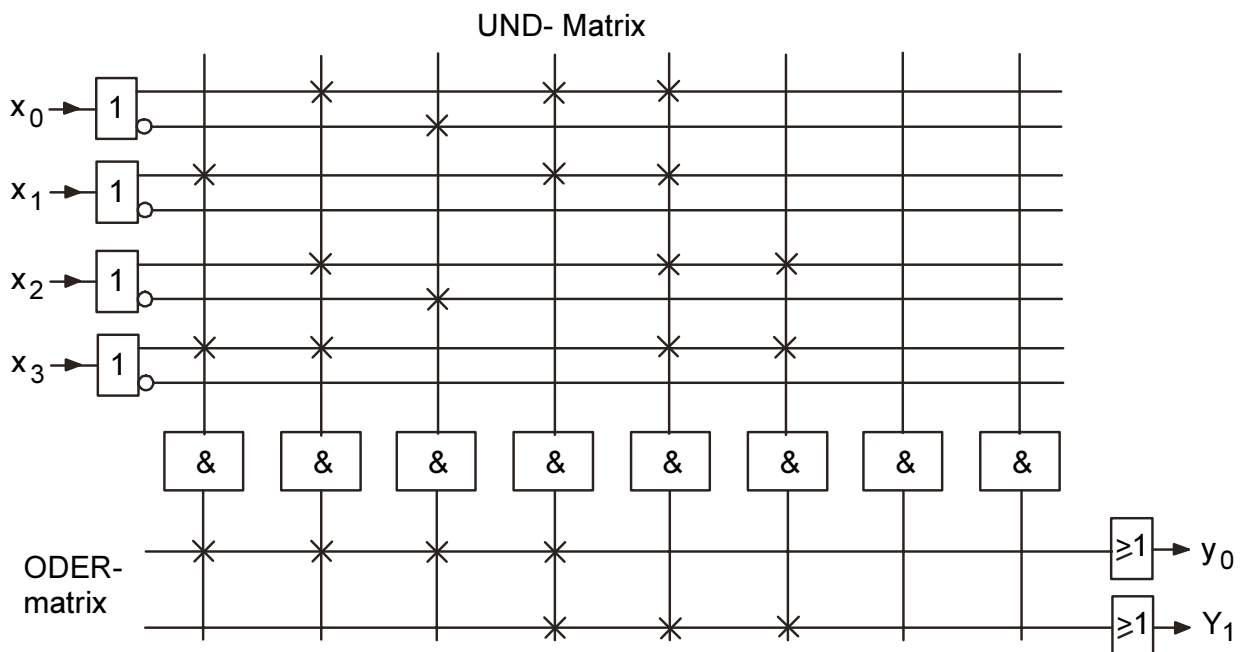
Gatterschaltung:

symbolische Schreibweise:

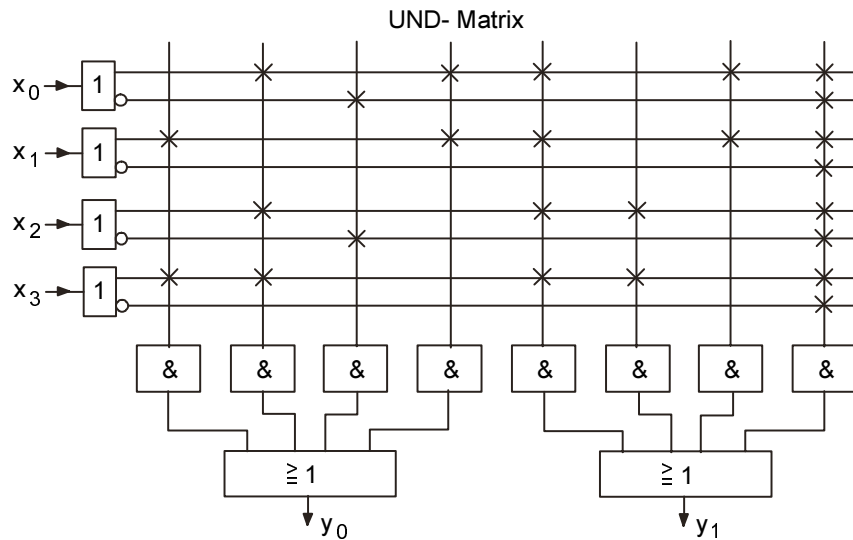


Prinzipielle Anordnungen eines PLA und eines PAL sind für das oben gezeigte Beispiel im folgenden dargestellt.

Prinzip eines PLA:



Prinzip eines PAL:



Neben den gezeigten Typen gibt es komplexere PALs und GALs, die über spezielle Ausgangsschaltungen (z.B. Flip-Flops, Register) verfügen. Mit diesen Bausteinen können Schaltwerke mit einem einzigen IC realisiert werden.

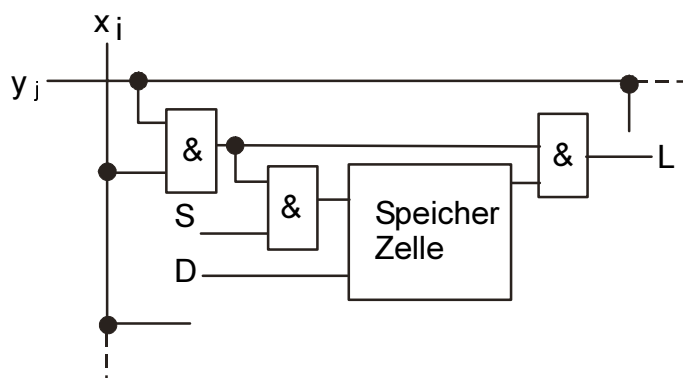
### 6.3 Schreib-Lese-Speicher (Random-Access-Memory, RAM)

Ein RAM ist ein Speicher, der es gestattet, unter einer bestimmten Adresse Daten abzuspeichern und jederzeit wieder abzurufen (Speicher mit wahlfreiem Zugriff). Man unterscheidet statische und dynamische RAMs. Bei den statischen RAMs besteht eine Speicherzelle (ein Bit) beispielsweise aus einem D-Flip-Flop mit entsprechender Adressierlogik. Bei einem dynamischen RAM wird die Information (ein Bit) im Prinzip in einem Kondensator gespeichert. Die letztere Anordnung bietet den Vorteil hoher Speicherdichte (z. Zt. bis zu 4 Millionen Bits pro Baustein). Da ein Kondensator die enthaltene Ladung nur für begrenzte Zeit speichern kann, ist es notwendig, den Speicherinhalt periodisch aufzufrischen (Refresh-Zyklus).

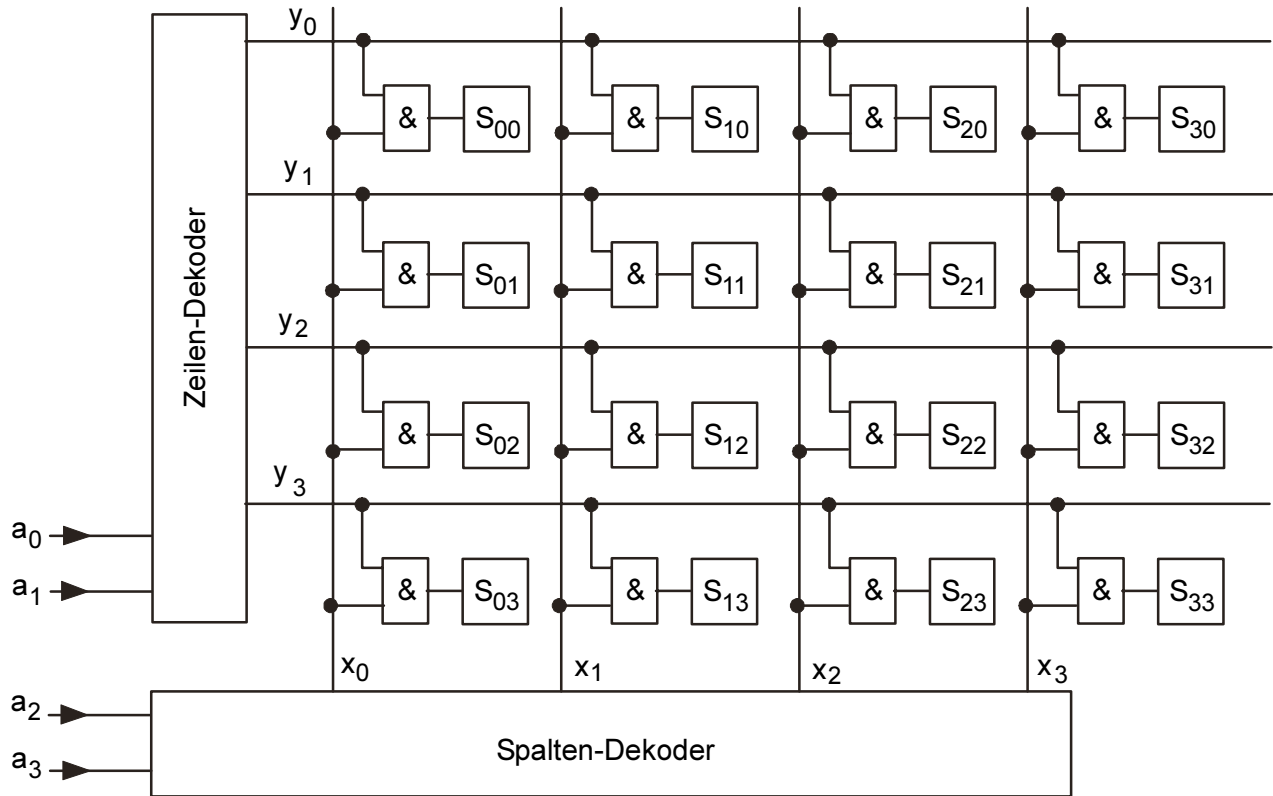
Der prinzipielle Aufbau einer Speicherzelle mit einem D-Flip-Flop ist im folgenden gezeigt. Die Adressierung der Speicherzelle erfolgt über die Adressenleitungen  $x_i$  und  $y_j$ . Die Auswahl, ob Information gelesen oder eingespeichert werden soll, erfolgt über den Eingang S.

Lesen:  $S = 0$ ,  
Einschreiben:  $S = 1$ .

D = Dateneingang  
L = gelesene Information



Der innere Aufbau eines RAMs mit einer Speicherkapazität von 16 Bit sieht im Prinzip folgendermaßen aus, wobei die Speicherzellen  $S_{xy}$  durch die oben gezeigten D-Flip-Flops realisiert sein können. Die Ansteuerlogik (Schreib-/Lese-Funktion der D-Flip-Flops) ist der Einfachheit halber nicht eingezeichnet.





## 7. Digital-Analog- und Analog-Digital-Umwandlung

Meßwerte physikalischer Größen liegen zumeist in analoger Form vor; die gemessene Größe kann in einem vorgegebenen Gültigkeitsbereich alle Zahlenwerte annehmen (z.B. elektrische Spannung, Temperatur, Gewicht usw). Will man einen solchen Meßwert digital weiterverarbeiten, muß man ihn in eine entsprechende Zahl umwandeln. Dazu dienen Analog-Digital-Converter (ADC). In der Regel ist die Zahl  $Z$  zur Meßgröße (z.B. eine Spannung  $U_e$ ) proportional:  $Z = U_e/U_0$ .  $U_0$  ist hierbei die zu  $Z = 1$ , d.h. die zum niedrigstwertigen Bit gehörende Spannung.

Die Umwandlung einer Zahl in eine Spannung geschieht mit Digital-Analog-Convertern (DAC), die eine zur Zahl  $Z$  proportionale Spannung  $U_a$  liefern:  $U_a = Z U_0$ .

### 7.1 Digital-Analog- (D/A)- Umwandlung

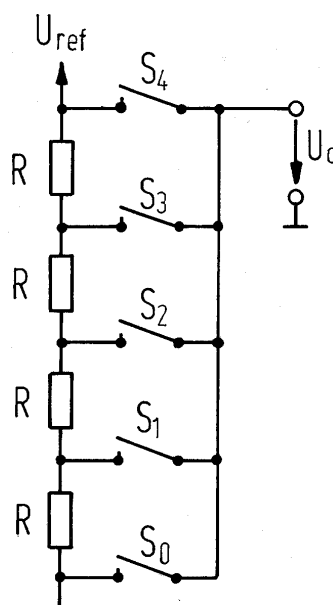
Bei der DA-Umwandlung unterscheidet man drei Verfahren, die in ihrem Schaltungsaufwand sehr unterschiedlich sind:

- das Parallelverfahren,
- das Wägeverfahren,
- das Zählverfahren.

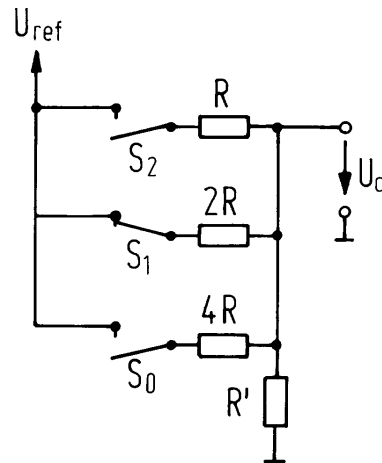
Beim Parallelverfahren wird jeder umzusetzenden Zahl ein Schalter zugeordnet (z.B. ein Gatter, das über einen 1-aus-n-Dekoder angesteuert wird). Über diesen Schalter wird die der Zahl entsprechende Spannung an einem Spannungsteiler abgegriffen.

Ausgangsspannung:

$$U_a = Z (R / R_{ges}) U_{ref}$$

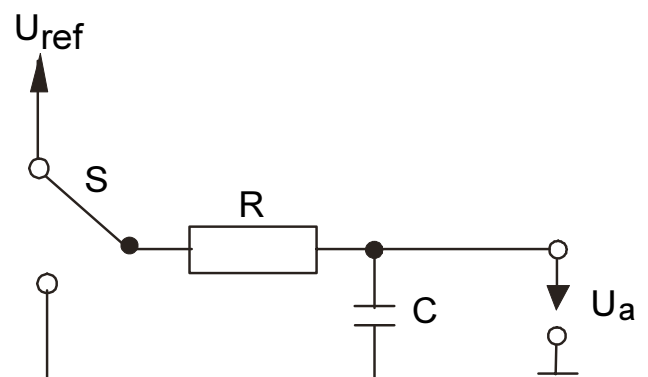


Beim Wägeverfahren wird jedem Bit einer im Dualsystem dargestellten Zahl ein Schalter zugeordnet. Über entsprechend gewichtete Widerstände wird die Ausgangsspannung erhalten. Dabei muß  $R' \ll R$ .



Beim Zählverfahren wird nur ein Schalter benötigt, der periodisch geschlossen und geöffnet wird. Das Tastverhältnis bestimmt die am Integrierkondensator auftretende Spannung  $U_a$ . Dieses Tastverhältnis wird durch die umzuwandelnde Zahl festgelegt, z.B. in einem Vorwählzähler.

Anwendungsmöglichkeiten sind begrenzt, da die Schaltung wegen des Integriergliedes langsam ist. Anwendung in Frequenzmessern (Drehzahlen von Motoren o.ä.)



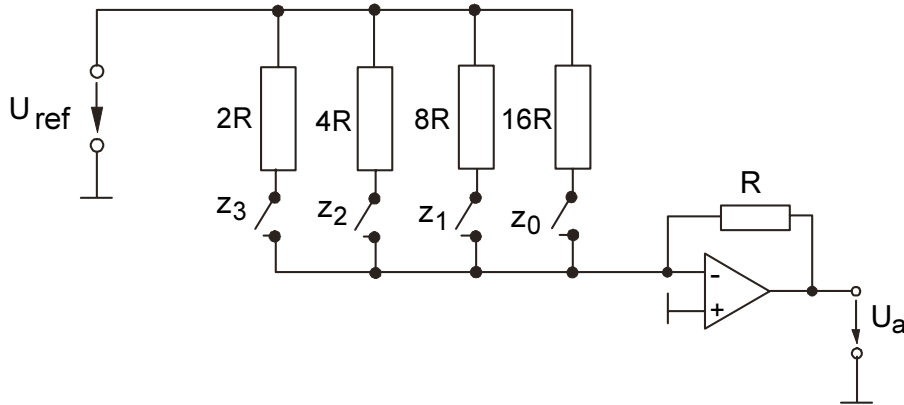
#### Schaltungsaufwand:

Sei  $Z_{max}$  die größte umzuwandelnde Zahl, z.B.  $Z_{max} = 255$ .

- Das Parallelverfahren erfordert  $Z_{max} + 1$  Schalter, im Beispiel also 256 Schalter.
- Beim Wägeverfahren werden  ${}^2\log(Z_{max} + 1)$  Schalter benötigt, im Beispiel also 8 Schalter für die Bits 0...7.
- Beim Zählverfahren ist nur ein Schalter erforderlich.

Die größte Bedeutung hat das Wägeverfahren erlangt. Es gibt viele Realisierungsmöglichkeiten, von denen hier nur eine besprochen werden soll:

Summation gewichteter Ströme:

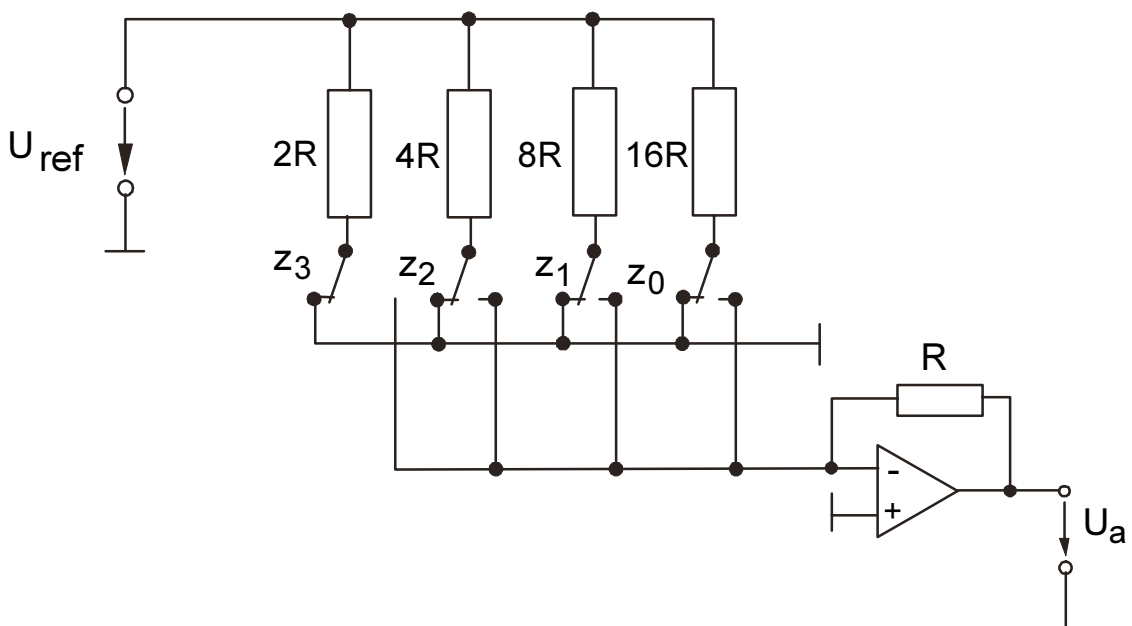


Die Ausgangsspannung ergibt sich zu  $U_a = -U_{ref} Z/(Z_{max} + 1)$ .

Die gezeigte Schaltung besitzt zwei wesentliche Nachteile:

- 1) Die Potentiale an den Schaltern schwanken zwischen  $U_{ref}$  und Null. Parasitäre Schalterkapazitäten müssen daher bei jedem Schaltvorgang umgeladen werden.
- 2) Je nach Schalterstellung wechselt die Belastung der Referenzspannungsquelle.

Diese Nachteile lassen sich beseitigen, wenn man Wechselschalter verwendet, wie in der folgenden Abbildung gezeigt:

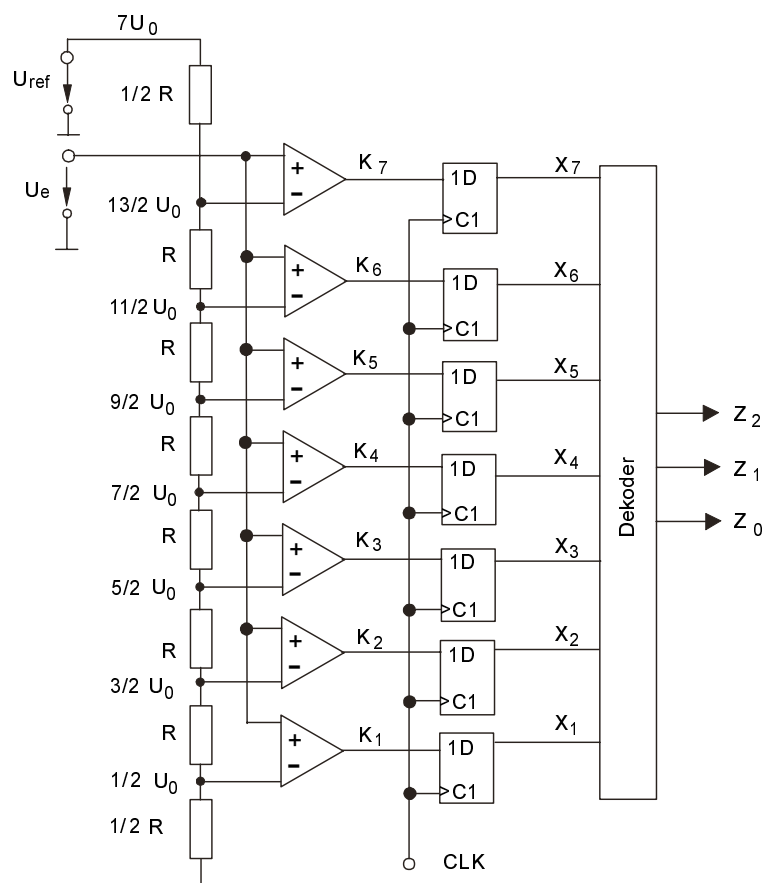


## 7.2 Analog-Digital- (A/D)- Umwandlung

Auch bei der A/D-Umwandlung kennt man die drei oben erwähnten Verfahren:

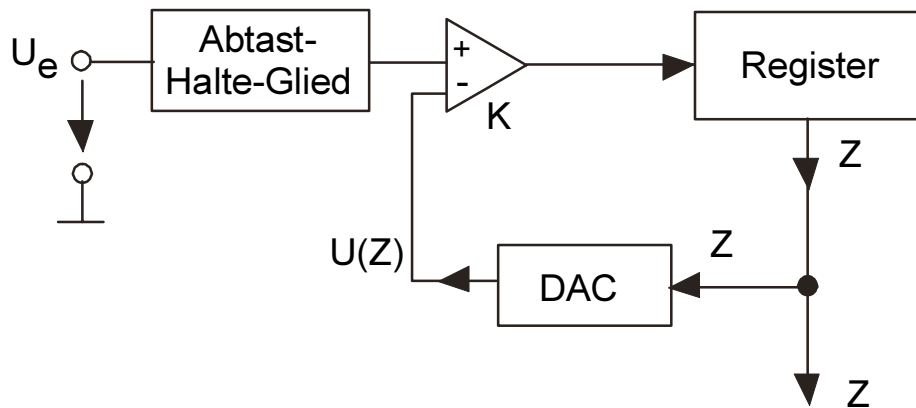
- das Parallelverfahren,
- das Wägeverfahren,
- das Zählverfahren.

Beim Parallelverfahren wird die Eingangsspannung  $U_e$  gleichzeitig mit  $Z_{\max}$  Referenzspannungen verglichen. Es wird festgestellt, zwischen welchen benachbarten Referenzspannungen der Wert der Eingangsspannung liegt. Das Verfahren ist sehr schnell, da das Ergebnis in einem Schritt erhalten wird. Der Schaltungsaufwand ist sehr hoch; es werden  $Z_{\max}$  Komparatoren benötigt (ein Komparator kann durch einen Operationsverstärker ohne Gegenkopplung realisiert werden). Wegen ihrer Schnelligkeit sind diese ADCs auch unter dem Namen „Flash-ADC“ bekannt. Im Bild ist ein Flash-ADC für  $Z_{\max} = 7$  (= 3 Bits) gezeigt. Es sind 7 Komparatoren notwendig. Zur Umsetzung einer 8-Bit-Zahl werden schon 255 Komparatoren benötigt.

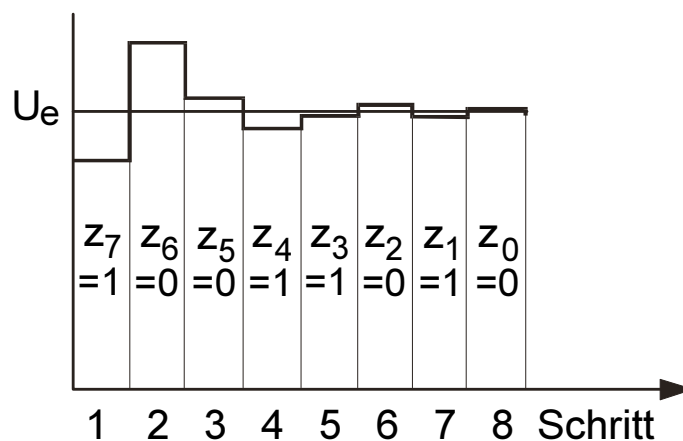


Wirkungsweise: Ist z.B.  $9 U_0/2 < U_e < 11 U_0/2$ , so liefern die Komparatoren  $K_1 \dots K_5$  ein HIGH-Potential, die Komparatoren  $K_6$  und  $K_7$  einen LOW-Pegel. Der Dekoder setzt dieses Ergebnis in die Zahl „5“ um.

Beim Wägeverfahren wird die Zahl seriell Bit für Bit ermittelt. Die Anzahl der Rechenschritte ist gleich der Zahl der Bits. Der prinzipielle Aufbau der Schaltung ist in der Abbildung gezeigt.

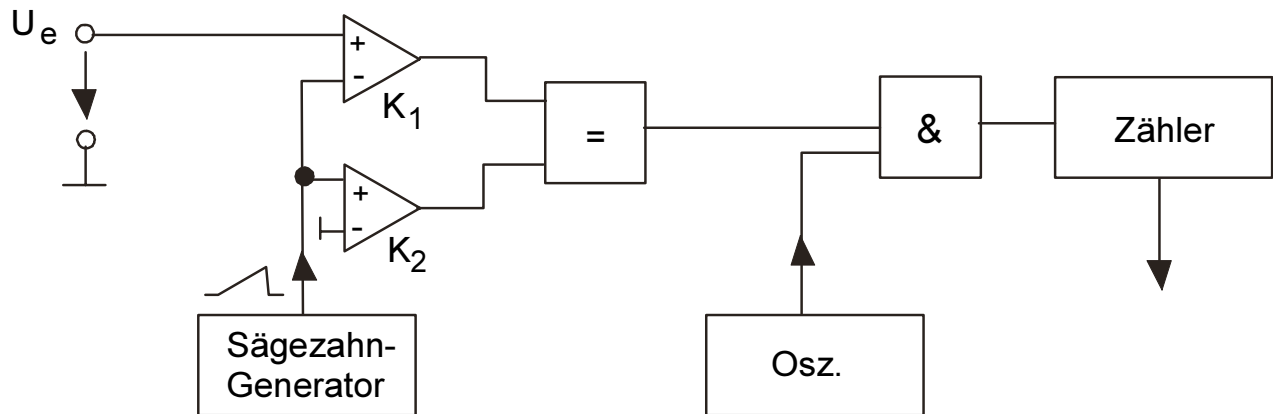


Man beginnt den Vergleich mit dem höchstwertigen Bit (MSB). Ist die Eingangsspannung  $U_e$  größer als die dem MSB entsprechende Vergleichsspannung  $U(Z)$ , so wird das MSB auf „1“ gesetzt. Als nächstes wird das zweithöchste Bit ermittelt usw. In einem Beispiel ist der zeitliche Verlauf von  $U(Z)$  für  $Z_{\max} = 255 (= 8 \text{ Bit})$  im folgenden gezeigt. Nach der Operation wurde die Zahl  $Z = 10011010$  ermittelt.



ADCs nach dem Wägeverfahren sind in großer Vielfalt als integrierte Schaltungen erhältlich.

Die A/D-Umsetzung nach dem Zählverfahren erfordert den geringsten Aufwand und ist sehr langsam. Die Zeit für die Umsetzung beträgt etwa 1 ms ... 1 s. Es gibt viele Varianten dieses Verfahrens, von denen hier nur eine erwähnt werden soll: das Rampen-Verfahren (Sägezahn Umsetzer).



Wirkungsweise: Der Fensterkomparator, bestehend aus  $K_1$  und  $K_2$ , liefert am Ausgang des Äquivalenzgliedes einen Pegel  $U_G = 1$ , solange die Sägezahnspannung  $U_S$  zwischen 0 und  $U_e$  liegt. Zählt man in diesem Zeitintervall die von einem Oszillator gelieferten Impulse in einem Zähler, so ist deren Zahl proportional zur Eingangsspannung.

Die Leistungsfähigkeit der verschiedenen ADCs ist in der folgenden Tabelle zusammengestellt.

	max. Frequenz	Auflösung
Zählverfahren	1kHz	12-18 Bit
Wägeverfahren	10 kHz - 1000 kHz	10-14 Bit
Parallelverfahren	10 MHz - 100 MHz	4-8 Bit